

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月 2日
Date of Application:

出願番号 特願2003-099645
Application Number:
[ST. 10/C]: [JP2003-099645]

出願人 シャープ株式会社
Applicant(s):

2004年 3月22日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3023367

【書類名】 特許願
【整理番号】 02J04813
【提出日】 平成15年 4月 2日
【あて先】 特許庁長官 殿
【国際特許分類】 G09G 3/20 624
G09G 3/20 632
G09G 3/36
G09F 9/35 305
H04N 5/20

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 塩見 誠

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 富沢 一成

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 宮地 弘一

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 古川 智朗

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】 ✓ .

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置の駆動装置、そのプログラムおよび記録媒体、画像表示装置、並びに、テレビジョン受像機

【特許請求の範囲】**【請求項 1】**

各画素の今回の階調を示す第 1 階調データが入力される入力端子と、

上記入力端子へ入力される各第 1 階調データに、ノイズデータを加算し、さらに、予め定められたビット幅の下位ビットを切り捨てて、第 2 階調データを生成するノイズ付加手段と、

互いに同じ色で互いに隣接する画素への第 1 階調データに加算されるノイズデータ同士がランダムな大きさになるように、上記ノイズデータを生成して、上記ノイズ付加手段へ与えるノイズ生成手段と、

各画素の今回の第 2 階調データを次回まで記憶する記憶手段と、

当該記憶手段から読み出した前回の第 2 階調データから、今回の第 2 階調データへの階調遷移を強調するように、今回の第 2 階調データを補正する第 1 補正手段とを備えていることを特徴とする画像表示装置の駆動装置。

【請求項 2】

上記ノイズ生成手段は、同じ画素への第 1 階調データに、毎回同じ大きさのノイズデータが加算されるようにノイズデータを生成することを特徴とする請求項 1 記載の画像表示装置の駆動装置。

【請求項 3】

上記第 1 階調データは、8 ビットで表現されており、上記各ノイズデータの絶対値の最大値は、1 階調から 32 階調の範囲の値に設定されていると共に、

上記ノイズ付加手段、ノイズ生成手段、記憶手段および第 1 補正手段は、RGB の色毎に設けられていることを特徴とする請求項 2 記載の画像表示装置の駆動装置。

【請求項 4】

上記ノイズ生成手段は、同じ画素への第 1 階調データに加算されるノイズデータ同士がランダムな大きさになるようにノイズデータを生成することを特徴とす

る請求項 1 記載の画像表示装置の駆動装置。

【請求項 5】

上記第 1 補正手段は、前回の第 2 階調データと今回の第 2 階調データとの差が、ノイズデータの加算のみによって発生し得る差である場合、今回の第 2 階調データの補正を停止することを特徴とする請求項 4 記載の画像表示装置の駆動装置。

【請求項 6】

上記第 1 階調データは、8 ビットで表現されており、上記各ノイズデータの絶対値の最大値は、1 階調から 8 階調の範囲の値に設定されていると共に、

上記ノイズ付加手段、ノイズ生成手段、記憶手段および第 1 補正手段は、R G B の色毎に設けられていることを特徴とする請求項 5 または 6 記載の画像表示装置の駆動装置。

【請求項 7】

同じ画素への第 2 階調データを平均した階調が、上記ノイズ付加手段によって下位ビットが切り捨てられる前の階調になるように、予め設定されたパターンで各第 2 階調データの最下位ビットを変化させる最下位ビット制御手段を備えていることを特徴とする請求項 1、2 または 4 記載の画像表示装置の駆動装置。

【請求項 8】

上記第 1 補正手段は、前回の第 2 階調データと今回の第 2 階調データとの差が、ノイズデータの加算と上記最下位ビット制御手段による最下位ビットの変更とのみによって発生し得る差である場合、今回の第 2 階調データの補正を停止することを特徴とする請求項 7 記載の画像表示装置の駆動装置。

【請求項 9】

上記画素は、複数の領域に分割されており、

各領域内に含まれる複数の画素への第 1 階調データを平均し、平均値が低い場合は、高い場合よりもノイズデータの絶対値の最大値が小さくなるように、上記ノイズ生成手段を制御するノイズ量制御手段を備えていることを特徴とする請求項 8 記載の画像表示装置の駆動装置。

【請求項 10】

上記入力端子へ入力される第1階調データからなる映像信号は、映像を複数の小ブロックに分割し、各小ブロック単位で符号化された映像信号であり、

上記領域は、当該小ブロックと一致していることを特徴とする請求項9記載の画像表示装置の駆動装置。

【請求項11】

上記記憶手段は、今回の第2階調データに加えて、前回の第2階調データも次回まで記憶すると共に、

上記記憶手段が記憶した前々回および前回の第2階調データの組み合わせが予め定められた組み合わせの場合、上記第1補正手段が参照する前回の第2階調データを、前々回の第2階調データに近づくように補正する第2補正手段を含んでいることを特徴とする請求項1記載の画像表示装置の駆動装置。

【請求項12】

上記記憶手段が今回の第2階調データおよび前回の第2階調データを記憶する前に、当該両第2階調データの少なくとも一方の下位ビットを切り捨てて、両第2階調データのビット幅の合計が、予め定められた設定値になるように制限するビット幅調整手段を備えていることを特徴とする請求項11記載の画像表示装置の駆動装置。

【請求項13】

上記ビット幅調整手段は、映像の種類および温度の少なくとも一方に応じて、上記設定値のうち、次回まで記憶される前回の第2階調データのビット幅が占める割合を変更することを特徴とする請求項12記載の画像表示装置の駆動装置。

【請求項14】

請求項1記載の各手段として、コンピュータを動作させるプログラム。

【請求項15】

請求項14記載のプログラムが記録された記録媒体。

【請求項16】

請求項1ないし13のいずれか1項記載の駆動装置を備えていることを特徴とする画像表示装置。

【請求項17】

請求項 16 に記載の画像表示装置を備えていることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像表示装置の駆動装置、そのプログラムおよび記録媒体、画像表示装置、並びに、テレビジョン受像機に関するものである。

【0002】

【従来の技術】

比較的小さい電力で駆動可能な液晶表示装置は、携帯機器のみならず、据え置き型の機器の画像表示装置としても、広く使用されている。これらの液晶表示装置の中には、各画素の階調を示すデジタル信号をデータ信号線駆動回路へ与え、データ信号線駆動回路が、当該デジタル信号の値に対応する電圧をデータ信号線へ印加することによって、画素の表示階調を制御する液晶表示装置も存在している。

【0003】

これらの液晶表示装置では、表示パネルの各画素へ印加する電圧を決定するためのデータが、デジタル信号として伝えられるため、より細かな階調を表示しようとして、階調を示す階調データのビット幅を広くすると、デジタル信号を処理する回路の回路規模あるいは演算量が増大してしまう。一方、回路規模あるいは演算量を削減するため、下位ビットを切り捨てることによって、ビット幅を狭くすると、表示パネルに表示される映像に擬似輪郭が発生して、表示品質が大幅に劣化してしまう。

【0004】

ここで、後述する特許文献 1 には、擬似輪郭が発生させずに、表示品質を向上可能な画像表示装置を簡単な回路で実現するために、デジタル信号にノイズを付加した後で、下位ビットを切り捨てる技術が開示されている。具体的には、映像信号として、 n ビット (n は自然数) のデジタル信号が入力されると、図 15 に示す第 1 信号処理部 116 は、当該 n ビットのデジタル信号を γ 補正して、 m ビ

ット ($m < n$: m は自然数) のデジタル信号に変換する。さらに、第 2 信号処理部 117 は、第 1 信号処理部 116 からの m ビットのデジタル信号にノイズ信号を加算した後、下位の $(m - Q)$ ビット ($Q \leq n$: Q は自然数) を切り捨てて、残った Q ビットのデジタル信号を、表示パネルのデータ信号線駆動回路 114 へ出力する。さらに、データ信号線駆動回路 114 は、第 2 信号処理部 117 からの Q ビットのデジタル信号に対応する電圧を、データ信号線から出力して、画素の表示階調を制御する。

【0005】

当該構成では、第 2 信号処理部 117 が出力するデジタル信号のビット幅 (Q ビット) は、第 1 信号処理部 116 が出力するデジタル信号のビット幅 (m ビット) よりも短く設定されているので、第 1 信号処理部 116 が出力するデジタル信号を処理できるように、データ信号線駆動回路 114 を構成するよりも、回路構成が簡略化されている。

【0006】

また、上記第 2 信号処理部 117 は、ノイズ信号を加算した後で、下位ビットを切り捨てているので、単に切り捨てる場合とは異なり、隣接する画素間における、表示階調の大幅な相違が発生しない。この結果、擬似輪郭を発生させずに、表示品質を向上可能な画像表示装置を簡単な回路で実現できる。

【0007】

一方、液晶表示装置は、CRT (Cathode-Ray Tube) などと比較すると、応答速度が遅く、遷移階調によって、通常フレーム周波数 (60 Hz) に対応した書き換え時間 (16.7 msec) で応答が完了しないこともあるため、前回から今回への階調遷移を強調するように、駆動信号を変調して駆動する方法も採用されている (後述の特許文献 2 参照)。

【0008】

例えば、前フレーム $FR(k-1)$ から現フレーム $FR(k)$ への階調遷移がライズ駆動の場合、前回から今回への階調遷移を強調するように、具体的には、現フレーム $FR(k)$ の映像データ $D(i, j, k)$ が示す電圧レベルよりも高いレベルの電圧を画素へ印加する。

【0009】.

この結果、階調が遷移するとき、現フレーム $FR(k)$ の映像データ $D(i, j, k)$ が示す電圧レベルを最初から印加する場合の輝度レベルと比較して、画素の輝度レベルは、より急峻に増大し、より短い期間で、上記現フレーム $FR(k)$ の映像データ $D(i, j, k)$ に応じた輝度レベル近傍に到達する。これにより、液晶の応答速度が遅い場合であっても、液晶表示装置の応答速度を向上できる。

【0010】

また、後述の特許文献3では、任意の画素に印加される、少なくとも連続した3フィールド信号データより透過率曲線を作成または予測し、前記透過率曲線が所望透過率曲線よりも所定値以上ずれる場合に、前記連続したフィールドの信号データを補正する表示装置が開示されている。

【0011】

具体的には、図16に示すように、上記表示装置101aにおいて、データ入力手段121は、フィールドメモリ122に各画素への映像データを記憶させる。さらに、データ補正手段123は、フィールドメモリ122を参照して、理想の透過率と予測される実際の透過率との差が所定の閾値よりも大きいときに、フィールドメモリ122の映像データを補正する。さらに、データ出力手段124は、補正後のフィールドメモリ122の映像データを順次読み出して、図示しない画素を駆動する。

【0012】**【特許文献1】**

特開2001-337667号公報（公開日：2001年12月7日）

【0013】**【特許文献2】**

特開2002-116743号公報（公開日：2002年4月19日）

【0014】**【特許文献3】**

特許第2650479号公報（発行日：1997年9月3日）

【0015】

【発明が解決しようとする課題】

ところで、上記特許文献1の構成における上記第2信号処理部は、表示素子が何階調で表示できるかを把握して、そのビット数になるように切り捨てるとともに、その切り捨て幅にあった大きさのノイズを付加する必要がある。したがって、第2信号処理部は、表示パネルの表示素子の表示可能な階調が特定され、切り捨て幅を特定できるように、表示パネルの近くに配置する方が望ましい。一方、上記特許文献2において、階調遷移を強調する処理部は、表示パネルの画素の表示階調が所望の階調に到達できるように階調遷移を強調する必要がある。したがって、どの程度に階調遷移を強調したら所望の階調に到達できるかが特定され、適切な階調遷移強調の程度を決定できるように、当該処理部を表示パネルの近くに配置する方が望ましい。

【0016】

本願発明は、上記両処理部によって、少ない回路規模または演算量で、見かけ上の表示品質の劣化が抑えられ、しかも、表示素子を高速に駆動可能な画像表示装置の駆動装置を実現すべく研究を重ね、ノイズを付加して切り捨てる処理の方を階調遷移強調処理よりも先に処理した方が好ましいことを見い出した結果なされたものであって、その目的は、各画素に表示される映像の表示品質を見かけ上低下させることなく、画素の応答速度を向上可能で、しかも、構成が簡単な画像表示装置の駆動装置を実現することにある。

【0017】**【課題を解決するための手段】**

本発明に係る画像表示装置の駆動装置は、上記課題を解決するために、各画素の今回の階調を示す第1階調データが入力される入力端子と、上記入力端子へ入力される各第1階調データに、ノイズデータを加算し、さらに、予め定められたビット幅の下位ビットを切り捨てて、第2階調データを生成するノイズ付加手段と、互いに同じ色で互いに隣接する画素への第1階調データに加算されるノイズデータ同士がランダムな大きさになるように、上記ノイズデータを生成して、上記ノイズ付加手段へ与えるノイズ生成手段と、各画素の今回の第2階調データを次回まで記憶する記憶手段と、当該記憶手段から読み出した前回の第2階調デー

タから、今回の第2階調データへの階調遷移を強調するように、今回の第2階調データを補正する第1補正手段とを備えていることを特徴としている。

【0018】

上記構成において、入力端子へ、各画素の今回の階調を示す第1階調データが入力されると、ノイズ付加手段は、入力端子へ入力される第1階調データに、ノイズデータを加算し、さらに、下位ビットを切り捨てて、第2階調データを生成する。ノイズ付加手段によって生成された各画素の今回の第2階調データは、次回まで記憶手段に記憶されており、第1補正手段は、記憶手段から読み出した前回の第2階調データと、ノイズ付加手段から入力される今回の第2階調データとに基づいて、前回から今回への階調遷移を強調するように、今回の第2階調データを補正する。

【0019】

当該構成では、記憶手段に記憶される第2階調データは、下位ビットの切り捨てによって第1階調データよりもビット幅が短く設定されている。したがって、記憶手段に必要な記憶容量を削減できる。また、ノイズ付加手段以降の回路（記憶手段および第1補正手段など）が処理する階調データのビット幅が削減されているので、これらの回路の回路規模および演算量を削減できると共に、これらの回路を接続するための配線の数および配線の占有面積を削減できる。さらに、上記ノイズ生成手段は、互いに同じ色で互いに隣接する画素への第1階調データに加算されるノイズデータ同士がランダムな大きさになるようなノイズデータを生成しているので、以下の構成、すなわち、第1階調データの下位ビットを単に切り捨てて第2階調データを生成した結果、各画素に表示される映像に擬似輪郭が発生する構成と異なり、擬似輪郭が発生しない。この結果、第2階調データのビット幅が第1階調データよりも短くなっているにも拘わらず、各画素に表示される映像の表示品質を、第1階調データを表示した場合と見かけ上相違しない程度に保つことができる。

【0020】

また、第1補正手段によって前回から今回への階調遷移が強調されているので、画素の応答速度を向上できる。ここで、ノイズ付加手段を第1補正手段の後段

に設けた場合、階調遷移強調後のデータにノイズが付加されるため、階調遷移を強調し過ぎて、画素の輝度が不所望に増大し、白光りとして画像表示装置の使用者に視認されたり、階調遷移を十分に強調できずに、画素の輝度が不所望に低下して、黒沈みとして視認される虞れがある。ところが、上記構成では、上記第1補正手段は、ノイズ付加手段の後段に配置されているので、第1補正手段をノイズ付加手段の前段に配置した場合と異なり、ノイズ付加に起因する白光りや黒沈みを発生させることなく、画素の応答速度を向上できる。

【0021】

これらの結果、各画素に表示される映像の表示品質を見かけ上低下させることなく、画素の応答速度を向上可能で、しかも、回路規模および演算量の削減が可能な画像表示装置の駆動装置を実現できる。

【0022】

また、上記構成に加えて、上記ノイズ生成手段は、同じ画素への第1階調データに、毎回同じ大きさのノイズデータが加算されるようにノイズデータを生成してもよい。

【0023】

上記構成によれば、同じ画素への第1階調データの大きさが時系列的に固定されているので、静止画を表示しているとき、各画素への第1階調データにノイズデータが加算されているにも拘わらず、上記各画素への第1補正手段の出力は、毎回同じ値になる。この結果、画像表示装置は、ノイズデータの付加に起因するチラツキやノイズ感のない安定した静止画を表示できる。

【0024】

また、上記構成に加えて、上記第1階調データは、8ビットで表現されており、上記各ノイズデータの絶対値の最大値は、1階調から32階調の範囲の値に設定されていると共に、上記ノイズ付加手段、ノイズ生成手段、記憶手段および第1補正手段は、RGBの色毎に設けられていてもよい。

【0025】

当該構成では、上記駆動装置によって駆動される画像表示装置を、1画素を単独で視認できない距離から見た場合、上記ノイズデータの付加によって、ある画

素と、それに隣接する画素との間に発生する輝度の差を、各画素の輝度の5%以内に抑えることができる。また、第1階調データによって指示された画素の輝度と、補正手段の出力によって制御された画素の輝度との差も、各輝度の5%以内に抑えることができる。したがって、カラー表示可能で、しかも、特に表示品質の高い画像表示装置を実現できる。

【0026】

また、同じ画素への第1階調データの大きさを時系列的に固定する構成に代えて、上記ノイズ生成手段は、同じ画素への第1階調データに加算されるノイズデータ同士がランダムな大きさになるようにノイズデータを生成してもよい。

【0027】

当該構成では、同じ画素への第1階調データに加算されるノイズデータが時系列的に変化する。したがって、1つ1つの画素を十分識別可能な距離から見ることが想定され、ノイズが時系列的に固定されていると、ノイズパターンとして認識される画像表示装置であっても、ノイズデータの時系列的な変化によって、使用者によるノイズパターンの認識を妨げることができる。この結果、このような画像表示装置を駆動する場合に好適な駆動装置を実現できる。

【0028】

また、上記構成に加えて、上記第1補正手段は、前回の第2階調データと今回の第2階調データとの差が、ノイズデータの加算のみによって発生し得る差である場合、による今回の第2階調データの補正を停止してもよい。

【0029】

当該構成において、上記第1補正手段は、前回の第2階調データと今回の第2階調データとの差が、ノイズデータの加算のみによって発生し得る差である場合、今回の第2階調データの補正を停止する。したがって、ノイズデータによって発生した階調遷移を第1補正手段が強調した結果、ノイズパターンが視認されやすくなるという不具合の発生を防止できる。

【0030】

さらに、上記構成に加えて、上記第1階調データは、8ビットで表現されており、上記各ノイズデータの絶対値の最大値は、1階調から8階調の範囲の値に設

定されていると共に、上記ノイズ付加手段、ノイズ生成手段、記憶手段および第1補正手段は、RGBの色毎に設けられていてもよい。

【0031】

当該構成では、ノイズデータの絶対値の最大値が上記範囲に設定されているので、上記駆動装置によって駆動される画像表示装置を1画素を単独で視認できる距離から見た場合、上記ノイズデータの付加によって、ある画素と、それに隣接する画素との間に発生する輝度の差、並びに、第1階調データによって指示された画素の輝度と、補正手段の出力によって制御された画素の輝度との差の双方を、各画素の輝度の5%以内に抑えることができる。したがって、カラー表示可能で、しかも、特に表示品質の高い画像表示装置を実現できる。

【0032】

また、ノイズデータが時系列的に変化するか否かに拘わらず、上記構成に加えて、同じ画素への第2階調データを平均した階調が、上記ノイズ付加手段によって下位ビットが切り捨てられる前の階調になるように、予め設定されたパターンで各第2階調データの最下位ビットを変化させる最下位ビット制御手段を備えていてもよい。

【0033】

当該構成では、静止画を表示する場合であっても、第2階調データが時系列的に変化する。したがって、表示される映像の明るさや動きによって1画素を単独で視認できるか否かが変化する程度の距離から見るのが想定され、静止画を表示する際に第2階調データが時系列的に固定されていると映像によってはノイズパターンが認識される虞れのある画像表示装置において、使用者によるノイズパターンの認識を妨げることができる。また、第2階調データの変化は、最下位ビットに制限されており、しかも、同じ画素への第2階調データを平均した階調が、上記ノイズ付加手段によって下位ビットが切り捨てられる前の階調になるように制御されるので、第2階調データが時系列的に変化しているにも拘わらず、各画素に表示される映像の表示品質の見かけ上の劣化を防止できる。これらの結果、上記画像表示装置を駆動する場合に好適な駆動装置を実現できる。

【0034】

さらに、上記構成に加えて、上記第 1 補正手段は、前回の第 2 階調データと今回の第 2 階調データとの差が、ノイズデータの加算と上記最下位ビット制御手段による最下位ビットの変更とのみによって発生し得る差である場合、今回の第 2 階調データの補正を停止してもよい。

【 0 0 3 5 】

上記構成において、上記第 1 補正手段は、前回の第 2 階調データと今回の第 2 階調データとの差が、ノイズデータの加算と上記最下位ビット制御手段による最下位ビットの変更とのみによって発生し得る差である場合、今回の第 2 階調データの補正を停止する。したがって、ノイズ付加手段および最下位ビット制御手段によって発生した階調遷移を第 1 補正手段が強調した結果、ノイズパターンが視認されやすくなるという不具合の発生を防止できる。

【 0 0 3 6 】

また、上記構成に加えて、上記画素は、複数の領域に分割されており、各領域内に含まれる複数の画素への第 1 階調データを平均し、平均値が高い場合は、低い場合よりもノイズの絶対値の最大値が大きくなるように、上記ノイズ生成手段を制御するノイズ量制御手段を備えていてもよい。

【 0 0 3 7 】

ここで、第 1 階調データに付加されるノイズデータが大き過ぎると、ノイズパターンが画像表示装置の使用者に視認されやすくなり、ノイズデータが小さすぎると、擬似輪郭が発生して各画素に表示される映像の表示品質が劣化してしまう。また、ノイズパターンの視認のされやすさは、映像の明るさによって異なっており、ノイズデータの絶対値の最大値が一定とすると、階調が低い場合、すなわち、より低い輝度が指示されている場合は、階調が高い場合よりも、ノイズデータの相対的な大きさが大きくなるので、ノイズパターンが視認されやすくなってしまう。この結果、上記最大値を固定する場合は、映像が明るいときと暗いときとの双方で支障がないように、上記最大値を設定せざるを得ず、いずれのときにも最適な値に設定することができない。

【 0 0 3 8 】

これに対して、上記構成では、ノイズ生成手段によって生成されるノイズデー

タの絶対値の最大値が、第1階調データの平均値によって変更される。したがって、上記最大値が固定の場合と比較して、現在表示中の映像に、より適した値に上記最大値を設定でき、表示品質の高い画像表示装置を実現できる。

【0039】

また、上記では、各領域内に含まれる複数の画素への第1階調データを平均し、その平均値に基づいて、上記最大値を設定している。したがって、ある画素へ指示された階調が周囲の画素の階調と大きく異なっているにも拘わらず、当該画素への階調を基準にして上記最大値を設定した結果、ノイズパターンが視認されやすくなるという不具合の発生を防止できる。

【0040】

さらに、上記構成に加えて、上記入力端子へ入力される第1階調データからなる映像信号は、映像を複数の小ブロックに分割し、各小ブロック単位で符号化された映像信号であり、上記領域は、当該小ブロックと一致していることを特徴としている。

【0041】

当該構成では、上記領域が、映像信号を符号化する際の単位（映像として一体として扱われるサイズ、あるいは、符号化の単位であるためノイズが目立ちやすいサイズ）と一致している。したがって、映像信号をスケール変換して表示する場合（例えば、高精細な液晶表示装置に元信号を拡大して表示する場合など）であっても、上記不具合の発生を防止できる。

【0042】

また、上記構成に加えて、上記記憶手段は、今回の第2階調データに加えて、前回の第2階調データも次回まで記憶すると共に、上記記憶手段が記憶した前々回および前回の第2階調データの組み合わせが予め定められた組み合わせの場合、上記第1補正手段が参照する前回の第2階調データを、前々回の第2階調データに近づくように補正する第2補正手段を含んでいてもよい。

【0043】

上記構成では、前々回および前回の第2階調データの組み合わせが予め定められた組み合わせの場合、上記第1補正手段が参照する前回の第2階調データは、

前々回の第2階調データに近づくように補正される。したがって、前々回から前回への階調遷移が予め定められた階調遷移の場合、第2補正手段による補正がない場合と比較して、第1補正手段による補正量を抑えることができる。

【0044】

この結果、例えば、前々回から今回への階調遷移が、ディケイ→ライズの場合あるいはライズ→ディケイの場合のように、第1補正手段にて通常と同様の補正が行われると、以下の現象、すなわち、前々回から前回への階調遷移における画素の応答不足と、第1補正手段での階調遷移強調との相乗効果によって、今回の画素の階調が今回の第2階調データの示す階調と大きく異なり、白光りや黒沈みが発生するという現象が発生する場合であっても、第1補正手段の補正量を抑えることによって、当該現象の発生を抑制でき、画像表示装置の表示品質を向上できる。また、上記記憶手段が第1補正手段にて補正される前の第2階調データを記憶しているので、補正後の第2階調データを記憶する構成とは異なり、第1補正手段の補正に起因する誤差が重畳、累積されることがない。したがって、比較的回路規模が小さく、補正のための演算の精度が低い回路によって、上記第1および第2補正手段を実施したとしても、画素の階調制御が発散したり、振動したりすることがない。これらの結果、比較的小さな回路規模で、表示品質のよい画像表示装置を実現できる。

【0045】

また、上記記憶手段が次回まで記憶する前回の第2階調データは、今回の第2階調データと同じビット幅であってもよいが、回路規模の縮小が特に求められる場合には、上記構成に加えて、上記記憶手段が今回の第2階調データおよび前回の第2階調データを記憶する前に、当該両第2階調データの少なくとも一方の下位ビットを切り捨てて、両第2階調データのビット幅の合計が、予め定められた設定値になるように制限するビット幅調整手段を備えていてもよい。当該構成では、上記記憶手段が記憶する両第2階調データの合計値が制限されているので、全てを記憶する場合よりも回路規模を縮小できる。

【0046】

さらに、上記構成に加えて、上記ビット幅調整手段は、映像の種類および温度

の少なくとも一方に応じて、上記設定値のうち、次回まで記憶される前回の第2階調データのビット幅が占める割合を変更してもよい。

【0047】

ここで、上記設定値が今回の第2階調データのビット幅の2倍よりも小さな値に制限されている場合、上記設定値において、前々回の第2階調データのビット幅が占める割合を増大させ過ぎると、補正後の前回の第2階調データに対して、前々回の第2階調データの影響をより正確に反映できる一方で、前回の第2階調データの影響を正確に反映させることができなくなってしまう。したがって、設定値において、前々回の第2階調データのビット幅が占める割合は、両第2階調データの影響に応じた適切な値に設定することが望まれる。一方、動きの速い映像が入力される場合の方が、前々回の映像データの影響を受けやすいので、映像の種類が変化して、期待される動きの速さが変化すると、上記割合の適切な値が変化してしまう。同様に、温度が変化すると画素の応答速度が変化するので、上記割合の適切な値が変化する。

【0048】

これに対して、上記構成では、映像の種類および温度の少なくとも一方に応じて、上記設定値のうち、前々回の第2階調データとして読み出される第2階調データのビット幅の占める割合が変更されるので、映像の種類や温度に拘わらず、上記割合を適切な値に保ち続けることができる。この結果、画像表示装置の表示品質を高いレベルに維持し続けることができる。

【0049】

ところで、上記画像表示装置の駆動装置は、ハードウェアで実現してもよいし、プログラムをコンピュータに実行させて実現してもよい。すなわち、本発明に係るプログラムは、上記各手段としてコンピュータを動作させるプログラムであり、本発明に係る記録媒体には、上記プログラムが記録されている。

【0050】

これらのプログラムが上記コンピュータで実行されると、当該コンピュータは、上記画像表示装置の駆動装置として動作する。したがって、当該画像表示装置の駆動装置と同様に、各画素に表示される映像の表示品質を見かけ上低下させる

ことなく、画素の応答速度を向上可能で、しかも、回路規模および演算量の削減が可能な画像表示装置の駆動装置を実現できる。

【0051】

また、本発明に係る画像表示装置は、上記各駆動装置を備えていることを特徴としている。さらに、本発明に係るテレビジョン受像機は、当該画像表示装置を備えていることを特徴としている。

【0052】

当該構成の画像表示装置およびテレビジョン受像機は、上記駆動装置装置を備えているので、各画素に表示される映像の表示品質を見かけ上低下させることなく、画素の応答速度を向上可能で、しかも、回路規模および演算量を削減できる。

【0053】

【発明の実施の形態】

〔第1の実施形態〕

本発明の一実施形態について図1ないし図9に基づいて説明すると以下の通りである。すなわち、本実施形態に係る画像表示装置1は、各画素に表示される映像の表示品質を見かけ上低下させることなく、画素の応答速度を向上可能で、しかも、回路規模および演算量の削減が可能な画像表示装置であって、例えば、テレビジョン受像機の画像表示装置として、好適に使用できる。なお、当該テレビジョン受像機が受像するテレビジョン放送の一例としては、地上波テレビジョン放送、BS(Broadcasting Satellite)デジタル放送やCS(Communication Satellite) デジタル放送などの人工衛星を用いた放送、あるいは、ケーブルテレビジョン放送などが挙げられる。

【0054】

上記画像表示装置1のパネル11は、例えば、R、G、Bの各色を表示可能なサブ画素から1つの画素を構成し、各サブ画素の輝度を制御することによって、カラー表示可能なパネルであって、例えば、図2に示すように、マトリクス状に配されたサブ画素SPIX(1,1)～SPIX(n,m)を有する画素アレイ2と、画素アレイ2のデータ信号線SL1～SLnを駆動するデータ信号線駆動回路3と

、画素アレイ2の走査信号線GL1～GLmを駆動する走査信号線駆動回路4とを備えている。また、画像表示装置1には、両駆動回路3・4へ制御信号を供給する制御回路12と、入力される映像信号に基づいて、上記階調遷移を強調するように、上記制御回路12へ与える映像信号を変調する変調駆動処理部（駆動装置）21とが設けられている。なお、これらの回路は、電源回路13からの電力供給によって動作している。また、本実施形態では、走査信号線GL1～GLmに沿った方向に隣接する3つのサブ画素SPIXから、1つの画素PIXが構成されている。さらに、本実施形態に係るサブ画素SPIX(1,1)…が特許請求の範囲に記載の画素に対応している。

【0055】

以下では、変調駆動処理部21の詳細構成について説明する前に、画像表示装置1全体の概略構成および動作を説明する。また、説明の便宜上、例えば、i番目のデータ信号線SLiのように、位置を特定する必要がある場合にのみ、位置を示す数字または英字を付して参照し、位置を特定する必要がない場合や総称する場合には、位置を示す文字を省略して参照する。

【0056】

上記画素アレイ2は、複数（この場合は、n本）のデータ信号線SL1～SLnと、各データ信号線SL1～SLnに、それぞれ交差する複数（この場合は、m本）の走査信号線GL1～GLmとを備えており、1からnまでの任意の整数および1からmまでの任意の整数をjとすると、データ信号線SLiおよび走査信号線GLjの組み合わせ毎に、サブ画素SPIX(i,j)が設けられている。

【0057】

本実施形態の場合、各サブ画素SPIX(i,j)は、隣接する2本のデータ信号線SL(i-1)・SLiと、隣接する2本の走査信号線GL(j-1)・GLjとで囲まれた部分に配されている。

【0058】

一例として、画像表示装置1が液晶表示装置の場合について説明すると、上記サブ画素SPIX(i,j)は、例えば、図3に示すように、スイッチング素子として、ゲートが走査信号線GLjへ、ドレインがデータ信号線SLiに接続された

電界効果トランジスタ $SW(i, j)$ と、当該電界効果トランジスタ $SW(i, j)$ のソースに、一方電極が接続された画素容量 $C_p(i, j)$ とを備えている。また、画素容量 $C_p(i, j)$ の他端は、全サブ画素 $SPIX$ …に共通の共通電極線に接続されている。上記画素容量 $C_p(i, j)$ は、液晶容量 $C_L(i, j)$ と、必要に応じて付加される補助容量 $C_s(i, j)$ とから構成されている。

【0059】

上記サブ画素 $SPIX(i, j)$ において、走査信号線 GL_j が選択されると、電界効果トランジスタ $SW(i, j)$ が導通し、データ信号線 SL_i に印加された電圧が画素容量 $C_p(i, j)$ へ印加される。一方、当該走査信号線 GL_j の選択期間が終了して、電界効果トランジスタ $SW(i, j)$ が遮断されている間、画素容量 $C_p(i, j)$ は、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量 $C_L(i, j)$ に印加される電圧によって変化する。したがって、走査信号線 GL_j を選択し、当該サブ画素 $SPIX(i, j)$ への映像データ D に応じた電圧をデータ信号線 SL_i へ印加すれば、当該サブ画素 $SPIX(i, j)$ の表示状態を、映像データ $D(i, j, k)$ に合わせて変化させることができる。

【0060】

本実施形態に係る上記液晶表示装置は、液晶セルとして、垂直配向モードの液晶セル、すなわち、電圧無印加時には、液晶分子が基板に対して略垂直に配向し、サブ画素 $SPIX(i, x)$ の液晶容量 $C_L(i, j)$ への印加電圧に応じて、液晶分子が垂直配向状態から傾斜する液晶セルを採用しており、当該液晶セルをノーマリブラックモード（電圧無印加時には、黒表示となるモード）で使用している。

【0061】

上記構成において、図2に示す走査信号線駆動回路4は、各走査信号線 $GL_1 \sim GL_m$ へ、例えば、電圧信号など、選択期間か否かを示す信号を出力している。また、走査信号線駆動回路4は、選択期間を示す信号を出力する走査信号線 GL_j を、例えば、制御回路12から与えられるクロック信号 GCK やスタートパルス信号 GSP などのタイミング信号に基づいて変更している。これにより、各走査信号線 $GL_1 \sim GL_m$ は、予め定められたタイミングで、順次選択される。

【0062】

さらに、データ信号線駆動回路 3 は、映像信号として、時分割で入力される各サブ画素 $SPIX$ …への映像データ…を、所定のタイミングでサンプリングするなどして、それぞれ抽出する。さらに、データ信号線駆動回路 3 は、走査信号線駆動回路 4 が選択中の走査信号線 GLj に対応する各サブ画素 $SPIX(1,j) \sim SPIX(n,j)$ へ、各データ信号線 $SL1 \sim SLn$ を介して、それぞれへの映像データに応じた出力信号を出力する。

【0063】

なお、データ信号線駆動回路 3 は、制御回路 12 から入力される、クロック信号 CLK およびスタートパルス信号 SSP などのタイミング信号に基づいて、上記サンプリングタイミングや出力信号の出力タイミングを決定している。

【0064】

一方、各サブ画素 $SPIX(1,j) \sim SPIX(n,j)$ は、自らに対応する走査信号線 GLj が選択されている間に、自らに対応するデータ信号線 $SL1 \sim SLn$ に与えられた出力信号に応じて、発光する際の輝度や透過率などを調整して、自らの明るさを決定する。

【0065】

ここで、走査信号線駆動回路 4 は、走査信号線 $GL1 \sim GLm$ を順次選択している。したがって、画素アレイ 2 の全画素を構成するサブ画素 $SPIX(1,1) \sim SPIX(n,m)$ を、それぞれへの映像データが示す明るさ（階調）に設定でき、画素アレイ 2 へ表示される画像を更新できる。

【0066】

なお、映像データ D は、サブ画素 $SPIX$ の階調レベルを特定できれば、階調レベル自体であってもよいし、階調レベルを算出するためのパラメータであってもよいが、以下では、一例として、映像データ D がサブ画素 $SPIX$ の階調レベル自体である場合について説明する。

【0067】

また、上記画像表示装置 1 において、映像信号源 VS から変調駆動処理部 21 へ与えられる映像信号 DAT は、フレーム単位（画面全体単位）で伝送されていてもよいし、1 フレームを複数のフィールドに分割すると共に、当該フィールド

単位で伝送されていてもよいが、以下では、一例として、フィールド単位で伝送される場合について説明する。

【0068】

すなわち、本実施形態において、映像信号源VSから変調駆動処理部21へ与えられる映像信号DATは、1フレームを複数のフィールド（例えば、2フィールド）に分割すると共に、当該フィールド単位で伝送されている。

【0069】

より詳細には、映像信号源VSは、映像信号線VLを介して、画像表示装置1の変調駆動処理部21に映像信号DATを伝送する際、あるフィールド用の映像データを全て伝送した後に、次のフィールド用の映像データを伝送するなどして、各フィールド用の映像データを時分割伝送している。

【0070】

また、上記フィールドは、複数の水平ラインから構成されており、上記映像信号線VLでは、例えば、あるフィールドにおいて、ある水平ライン用の映像データ全てが伝送された後に、次に伝送する水平ライン用の映像データを伝送するなどして、各水平ライン用の映像データが時分割伝送されている。

【0071】

なお、本実施形態では、2フィールドから1フレームを構成しており、偶数フィールドでは、1フレームを構成する各水平ラインのうち、偶数行目の水平ラインの映像データが伝送される。また、奇数フィールドでは、奇数行目の水平ラインの映像データが伝送される。さらに、上記映像信号源VSは、1水平ライン分の映像データを伝送する際も上記映像信号線VLを時分割駆動しており、予め定められた順番で、各映像データが順次伝送される。

【0072】

一方、変調駆動処理部21において、図示しない受信回路は、映像信号線VLを伝送される映像データをサンプリングして、各サブ画素SPIX(i, j)への映像データD(i, j, k)を取得する。なお、映像信号線VLを各サブ画素SPIX(i, j)への映像データD(i, j, k)が伝送されている場合、上記受信回路は、予め定められたタイミングでサンプリングすることによって、当該映像データD(i, j, k)

) 自体を取得する。一方、映像信号線 VL を各画素への映像データが伝送されている場合、上記受信回路は、予め定められたタイミングでサンプリングすることによって、各画素への映像データを取得し、当該映像データの示す色を、当該画素の各サブ画素の色成分に分解することによって、各サブ画素 $SPIX(i, j)$ への映像データ $D(i, j, k)$ を取得する。

【0073】

本実施形態に係る画像表示装置 1 では、1 画素が、R、G、B にそれぞれ対応する 3 つのサブ画素 $SPIX$ から構成されており、図 2 に示す変調駆動処理部 21 も、R 用の回路、すなわち、R に対応するサブ画素 $SPIX$ への映像データ D を処理する回路だけではなく、G 用および B 用の回路も設けられているが、各回路は、入力される映像データ $D(i, j, k)$ を除いて同じ構成なので、以下では、図 1 を参照しながら、R 用の回路についてのみ説明する。

【0074】

すなわち、図 1 に示すように、本実施形態に係る変調駆動処理部 21 には、R 用の回路として、R のサブ画素 $SPIX$ への映像データの 1 フレーム分を次のフレームまで記憶するフレームメモリ 31 と、現フレーム $FR(k)$ の映像データをフレームメモリ 31 へ書き込むと共に、フレームメモリ 31 から前フレーム $FR(k-1)$ の映像データ $D0(i, j, k-1)$ を読み出し、前フレーム映像信号 $DAT0$ として出力するメモリ制御回路 32 と、現フレームから前フレームへの階調遷移を強調するように、上記現フレーム $FR(k)$ の映像データを補正し、補正後の映像データ $D2(i, j, k)$ を補正映像信号 $DAT2$ として出力する変調処理部 (第 1 補正手段) 33 とを備えている。なお、本実施形態では、説明の便宜上、フレームメモリ 31 から出力される映像データのうち、前フレーム $FR(k-1)$ の映像データを $D0(i, j, k-1)$ で示し、前々フレーム $FR(k-2)$ の映像データ (後述) を $D00(i, j, k-2)$ として参照する。また、両映像データ $D00(i, j, k-2)$ および $D0(i, j, k-1)$ に基づいて、後述の前フレーム階調補正回路 37 が生成した映像映像データを $D0a(i, j, k-1)$ で参照する。なお、本実施形態では、サブ画素 $SPIX(1, j)$ 、 $(4, j)$ … が R を表示するので、入力端子 T1 には、映像データ $D(1, j, k)$ 、 $D(4, j, k)$ … が入力されている。

【0075】.

さらに、本実施形態に係る変調駆動処理部21には、画素アレイ2に表示される映像の表示品質を見かけ上低下させることなく、上記フレームメモリ31へ格納される映像データ $D(i, j, k)$ のデータ量を削減するために、上記入力端子T1とメモリ制御回路32および変調処理部33との間に、入力端子T1に入力される映像データ $D(i, j, k)$ へノイズ生成回路(ノイズ生成手段)35が生成したノイズを加算して出力するノイズ付加回路34と、ノイズ付加回路34が出力する各映像データの下位ビットを切り捨てて、映像データのビット幅を縮小する切り捨て回路36とを含むBDE(Bit-Depth Extension)回路が設けられており、切り捨て回路36の出力する映像データ $D1(i, j, k)$ は、現フレームFR(k)の映像データとして、変調処理部33およびメモリ制御回路32へ入力される。なお、上記ノイズ生成回路35および切り捨て回路36が特許請求の範囲に記載のノイズ付加手段に対応している。

【0076】

上記ノイズ生成回路35は、平均値が0であり、画素アレイ2へ表示される映像に擬似輪郭が発生しない程度にランダムなノイズを出力している。また、ノイズデータの最大値が大き過ぎると、ノイズパターンが画像表示装置1の使用者に認識される虞れがあるので、上記ノイズの最大値は、ノイズパターンが認識されない程度に設定されている。本実施形態では、入力端子T1へ入力される各サブ画素SPIX(i, j)への映像データ $D(i, j, k)$ は、8ビットで表現されており、ノイズデータの大きさは、±5ビット以内に設定されている。また、上記切り捨て回路36は、ノイズ生成回路35の出力する8ビットの映像データから、下位2ビットを切り捨て、6ビットの映像データ $D1(i, j, k)$ として出力する。これに伴ない、上記フレームメモリ31において、現フレームFR(k)の各映像データ $D1(i, j, k)$ を記憶するための記憶領域は、1つの映像データ $D1(i, j, k)$ あたり、6ビットに抑えられている。

【0077】

これにより、画素アレイ2へ表示される映像にノイズパターンも擬似輪郭も発生せず、切り捨て前の映像データDを表示した場合と見かけ上相違していないに

も拘わらず、切り捨て回路 36 以降の回路で処理される映像データのビット数を削減できる。

【0078】

ここで、付加されたノイズは、画像表示装置 1 の使用者によって、観察している階調が周囲の画素とどの程度異なっているか（変動率）、および、目指す輝度とどの程度異なっているか（誤差）として認識される。一般に、画像表示装置 1 のように、100 p p i を基準にして絵作りする分野では、上記誤差の許容限界は、白輝度の 5 % 程度であり、上記変動率の許容限界は、表示階調の 5 % 程度であることが知られている。ここで、図 4 は、画素の表示階調を x 階調だけ増加したときに、画素の透過率が、周囲の輝度（階調を増加する前の透過率）を基準に何 % だけ増加するかを示している。また、図 5 は、画素の表示階調を x 階調だけ増加したときに、本来の透過率（階調を増加する前の透過率）を基準に何 % だけ増加するかを示している。この結果、8～12 階調のノイズであれば、殆どの階調で上記許容限界を下回り、使用者に見かけ上表示品質が劣化していないと感じさせることができる。なお、上記各図は、一般的な映像信号 DAT として、 $\gamma = 2.2$ の映像信号が入力された場合の値である。

【0079】

したがって、1 つの画素を単独で視認できない距離で見ることが想定されている場合、2～3 画素（6～9 サブ画素）の間で、上記変動率および誤差が 5 % を下回るように設定すればよい。ここで、上記ノイズデータが略正規分布であるとすると、 $8 \sim 12$ [階調] $\times 6^{(1/2)} \sim 9^{(1/2)} = 20 \sim 36$ [階調] となる。したがって、5 ビット程度、すなわち、映像データ D よりも 3 ビット程度少ないビット幅で時系列的に固定のノイズを付加しても、ノイズパターンが画像表示装置の使用者に視認される虞はない。

【0080】

なお、一般には、画素サイズが大きくなっても、観察距離は、それに比例する程には増大しないことが多いので、画素サイズが大きくなる程、ノイズデータの許容レベルが小さくなる。したがって、1～32 階調（5 ビット以内）という数値範囲の中でも、上記ノイズデータの絶対値の最大値として、多くの画像表示装

置 1 で好ましく使用される数値範囲は、12～20 階調の範囲であり、さらに好ましくは、15 階調（4 ビット）に設定する方が望ましい。

【0081】

上記ノイズ生成回路 35 は、例えば、線形帰還シフトレジスタ（M 系列や Gold 系列など）を含む演算回路など、種々の演算回路であってもよいが、本実施形態に係るノイズ生成回路 35 は、 16×16 あるいは 32×32 など、予め定められたブロック分のノイズデータを記憶したメモリ 51 と、当該メモリから順次ノイズデータを読み出すアドレスカウンタ 52 と、アドレスカウンタ 52 をリセットするためのリセット信号を生成する制御回路 53 とを備えている。

【0082】

上記制御回路 53 は、同一のサブ画素 $SPIX(i, j)$ への映像データ $D(i, j, *)$ へ、全フレームに渡って、互いに同じ値のノイズデータが印加されるように、アドレスカウンタ 52 をリセットしている。例えば、本実施形態では、上記制御回路 53 は、図 2 に示す映像信号源 VS から映像データと共に伝送される水平同期信号および垂直同期信号の少なくとも一方に同期してアドレスカウンタ 52 をリセットする。この結果、上記ノイズ付加回路 34 は、同一のサブ画素 $SPIX(i, j)$ への映像データ $D(i, j, *)$ へ、全フレームに渡って、互いに同じ値のノイズデータを付加できる。したがって、画像表示装置 1 が画素アレイ 2 に静止画を表示している場合、各サブ画素 $SPIX(i, j)$ への補正映像データ $D2(i, j, *)$ は、変化せず、補正映像データ $D2(i, j, *)$ の変化に起因するチラツキやノイズ感のない安定した静止画を表示できる。ここで、* は、任意の値を示している。

【0083】

なお、上記メモリ 51 には、ランダムなノイズデータが格納されているので、各フレームにおいて、同じブロック内に位置するサブ画素 $SPIX$ への映像データには、ランダムなノイズデータが付加され、画素アレイ 2 に表示される映像に擬似輪郭が発生しない。

【0084】

さらに、本実施形態では、上記フレームメモリ 31 は、前フレームの映像データも、次のフレームまで記憶しており、制御回路 32 は、フレームメモリ 31 か

ら、前々フレーム $FR(k-2)$ の映像データ $D00(i, j, k-2)$ を読み出し、前々フレーム映像信号 $DAT00$ として出力できる。

【0085】

また、本実施形態に係る変調駆動処理部 21 には、各サブ画素 $SPIX(i, j)$ について、サブ画素 $SPIX(i, j)$ が上記映像データ $D00(i, j, k-2)$ から映像データ $D0(i, j, k-1)$ への階調遷移によって到達した階調を予測すると共に、前フレーム $FR(k-1)$ の映像データ $D0(i, j, k-1)$ を当該予測値 $D0a(i, j, k-1)$ へ補正して出力する前フレーム階調補正回路（第 2 補正手段）37 が設けられており、上記変調処理部 33 は、補正後の前フレーム映像信号 $DAT0a$ と上記現フレーム映像信号 DAT とに基づいて、各サブ画素 $SPIX(i, j)$ の前フレームから現フレームへの階調遷移を強調するように、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ を補正できる。

【0086】

上記構成では、変調処理部 33 が前フレーム $FR(k-1)$ から現フレーム $FR(k)$ への階調遷移を強調するように、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ を補正しているので、サブ画素 $SPIX$ の応答速度を向上でき、本来は応答速度が遅いサブ画素 $SPIX$ を使用している場合であっても、十分な応答速度で映像を表示できる。

【0087】

また、フレームメモリ 31 の前段に、ノイズ付加回路 34 および切り捨て回路 36 を含む BDE 回路が設けられているので、画素アレイ 2 に表示される映像の表示品質を見かけ上低下させることなく、上記フレームメモリ 31 へ格納される映像データ $D(i, j, k)$ のデータ量を削減できる。本実施形態では、入力端子 T1 へ入力される映像データ $D(i, j, k)$ のビット幅が 8 ビットであるにも拘わらず、フレームメモリ 31 に格納される映像データ $D1(i, j, k)$ のビット幅が 6 ビットにまで削減されている。これにより、フレームメモリ 31 に必要なメモリ容量を削減できる。また、切り捨て回路 36 以降の回路、すなわち、メモリ制御回路 32、前フレーム階調補正回路 37、変調処理部 33、図 2 に示す制御回路 12、データ信号線駆動回路 3 において、映像データのビット幅が 8 ビットから 6 ビッ

トに削減されているので、それぞれを接続するための配線の数および占有面積も $3/4$ に削減でき、それらの回路での演算量も削減できる。

【0088】

なお、映像データは、比較的高速に伝送する必要があるため、比較的遅い回路で、映像データを伝送するためには、複数の回路を並列に設けて交互に動作させる必要があり、映像データのビット数が増大すると、回路の占有面積が増大してしまう。ところが、上記構成では、ビット幅が $3/4$ に削減されているので、8ビットの場合と比較して、並列に動作する回路を設ける場合であっても、回路の占有面積の増大量を抑えることができる。

【0089】

また、上記構成では、フレームメモリ 31 および変調処理部 33 の前段に、ノイズ付加回路 34 および切り捨て回路 36 を含む BDE 回路が設けられている。したがって、BDE 回路が変調処理部 33 の後段に設けられている場合と異なり、以下の不具合、すなわち、変調処理部 33 が白光りの発生しない範囲で、できる限り階調遷移を強調した後、BDE 回路がノイズを付加した結果、白光りが視認されるという不具合が発生しない。この結果、ノイズ付加と階調遷移の強調とを併用しているにも拘わらず、白光りの発生を防止できる。

【0090】

ところで、サブ画素 $SPIX(i, j)$ の応答速度が非常に遅いと、前フレーム $FR(k-1)$ において、前々フレームから前フレームへの階調遷移を強調しているにも拘わらず、サブ画素 $SPIX(i, j)$ が前フレーム $FR(k-1)$ の映像データ $D1(i, j, k-1)$ の示す階調に到達できないことがある。この場合、現フレーム $FR(k)$ において、前々回から前回へ十分に階調遷移できたと見なして階調遷移を強調すると、適切に階調遷移を強調できず、白光りや黒沈みが発生する虞れがある。

【0091】

例えば、図 6 中、実線で示すように、前々回から今回への階調遷移がディケイ→ライズの場合、図中、破線で示すように、前々回から前回への階調遷移が十分ではなく、前フレーム $FR(k-1)$ の開始時点における輝度レベルが十分に低下していないにも拘わらず、現フレーム $FR(k)$ において、十分に階調遷移した場合

(図中、一点鎖線)と同様に画素を駆動すると、階調遷移を強調し過ぎて、白光りが発生してしまう。

【0092】

また、図7中、実線で示すように、前々回から今回への階調遷移がライズ→デイクイの場合、図中、破線で示すように、前々回から前回への階調遷移が十分ではなく、前フレームFR(k-1)の開始時点における輝度レベルが十分に上昇していないにも拘わらず、現フレームFR(k)において、十分に階調遷移した場合(図中、一点鎖線)と同様に画素を駆動すると、階調遷移を強調し過ぎて、黒沈みが発生してしまう。

【0093】

上記白光りや黒沈みが発生すると、これらの階調は、前回の階調から今回の階調までの範囲から外れた階調なので、ユーザの目につきやすく、画像表示装置の表示品質を大幅に低下させる。特に、白光りが発生した場合は、発生期間が一瞬であっても、ユーザの目につきやすいため、特に表示品質を低下させてしまう。

【0094】

これに対して、本実施形態に係る前フレーム階調補正回路37は、補正前の上記両映像データD00(i, j, k-2)およびD00(i, j, k-1)に基づいて、前々フレームから前フレームへの階調遷移によってサブ画素SPIX(i, j)が到達した階調を予測し、前フレームFR(k-1)の映像データD1(i, j, k-1)を予測値D0a(i, j, k-1)に変更する。この結果、白光りおよび黒沈みの発生を防止でき、画像表示装置1の表示品質を向上できる。

【0095】

また、フレームメモリ31は、補正前の映像データD1(i, j, k)を記憶しているので、図15に示す表示装置101aとは異なり、補正時に誤差が発生しても、当該誤差が時間の経過と共に蓄積されることはない。したがって、白光りおよび黒沈みの発生を防止できる程度に、予測演算の精度を低下させたとしても、上記画像表示装置101aと異なり、各サブ画素SPIXの階調制御が発散したり、振動したりすることがない。この結果、上記画像表示装置101aよりも小さな回路規模で、白光りおよび黒沈みの発生を防止可能な画像表示装置1を実現で

きる。

【0 0 9 6】

より詳細には、本実施形態に係る前フレーム階調補正回路 3 7 は、図 1 に示すように、前回の階調と今回の階調との組み合わせ、それぞれについて、当該組み合わせの映像データが変調処理部 3 3 に入力された場合に、サブ画素 S P I X (i , j) が次の映像データによって駆動される時点で到達している階調（到達階調）を記録した L U T (Look Up Table) 7 1 を備えている。さらに、本実施形態では、L U T 7 1 に必要な記憶容量を削減するために、上記 L U T 7 1 が記憶している到達階調は、全ての階調同士の組み合わせの到達階調ではなく、予め定められた組み合わせに制限されており、前フレーム階調補正回路 3 7 には、L U T 7 1 に記憶された各組み合わせに対応する到達階調を補間して、上記両映像データ D 0 0 (i , j , k - 2) および映像データ D 0 (i , j , k - 1) の組み合わせに対応する到達階調を算出し、予測値 D 0 a (i , j , k - 1) として当該算出結果を出力する演算回路 7 2 が設けられている。

【0 0 9 7】

また、本実施形態では、フレームメモリ 3 1 に必要な記憶容量を削減するために、制御回路 3 2 は、現フレーム F R (k) の映像データ D 1 (i , j , k) のデータ深度を小さくした後で、フレームメモリ 3 1 に記憶し、次のフレーム F R (k + 1) において、前フレーム F R (k) の映像データ D 0 (i , j , k) として出力させる。また、制御回路 3 2 は、前フレーム F R (k - 1) の映像データ D 0 (i , j , k - 1) のデータ深度をさらに小さくした後で、フレームメモリ 3 1 に記憶し、次のフレーム F R (k + 1) において、前々フレーム F R (k - 1) の映像データ D 0 0 (i , j , k - 1) として出力させている。

【0 0 9 8】

一例として、本実施形態では、前々フレーム F R (k - 2) の映像データ D 0 0 (i , j , k - 2) のデータ深度、および、前フレーム F R (k - 1) の映像データ D 0 (i , j , k - 1) のデータ深度は、4 ビットおよび 6 ビットに設定されている。この場合は、R、G および B のそれぞれを記憶したとしても、3 0 ビットですむ。したがって、汎用のメモリ（データビットの幅が 2^n に設定されているメモリ）を使用した

場合、前々フレーム $FR(k-2)$ の映像データ $D00(i, j, k-2)$ も記憶しているにも拘わらず、前フレーム $FR(k-1)$ の映像データ $D0(i, j, k-1)$ を記憶するときと同じ記憶容量のメモリを使用できる。

【0099】

また、本実施形態では、図8に示すように、上記階調の組み合わせで表現される領域を 8×8 の計算エリアに分けており、LUT71は、図9に示すように、各計算エリアの4隅となる点 (9×9 の点) について、到達階調を記憶している。なお、図8および図9では、縦軸がスタート階調 (前々フレームの階調)、横軸がエンド階調 (前フレームの階調) を示しており、右方および下方になる程、階調が大きくなっている。また、図8、図9および後述の図12では、説明の便宜上、階調を切り捨て前の階調、すなわち、6ビットの映像データ $D1(i, j, k)$ を8ビットに伸張した値 (4倍した値) を示して示している。

【0100】

ここで、図9は、サブ画素 $SPIX(i, j)$ として、垂直配向モードかつノーマリブラックモードの液晶素子を採用した場合の数値例を示している。この液晶素子は、ディケイの階調遷移に対する応答速度がライズの場合に比べて遅く、階調遷移を強調するように変調して駆動したとしても、前々回から前回へのディケイの階調遷移において、実際の階調遷移と、所望の階調遷移とに差が発生しやすい。したがって、到達すべき階調 (E) よりも実際の到達値が大幅に大きくなっている領域 $\alpha 1$ は、到達すべき階調よりも到達値が大幅に小さくなっている領域 $\alpha 2$ と比較して広がっている。なお、各領域 $\alpha 1 \cdot \alpha 2$ は、前フレーム階調補正回路37が補正せず、変調処理部33が前フレーム $FR(k-1)$ の映像データ $D1(i, j, k-1)$ に基づいて現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ を補正するとユーザに視認される程度に、映像データ $D1(i, j, k)$ と実際の階調とが相違する領域である。

【0101】

さらに、演算回路72は、上記両映像データ $D00(i, j, k-2)$ および映像データ $D0(i, j, k-1)$ の組み合わせ (S, E) が入力されたとき、当該組み合わせが、上記計算エリアのいずれに属しているかを特定する。

【0102】.

さらに、演算回路72は、当該計算エリアの4隅の到達階調を、左上隅、右上隅、右下隅、左下隅の順に、それぞれ、A、B、C、Dとし、当該計算エリアの広さを $Y \times X$ 、左上隅の組み合わせ $(S0, E0)$ と上記両組み合わせ (S, E) との差を $(1, 1)$ に正規化した値を $(\Delta y, \Delta x) = ((S - S0) / Y, (E - E0) / X)$ とすると、演算回路72は、 $\Delta x \geq \Delta y$ の場合、LUT71から、上記各到達階調A、BおよびCを読み出し、以下の式(1)に示すように、

$$D0a(i, j, k-1) = A + \Delta x \cdot (B - A) + \Delta y \cdot (C - B) \quad \dots (1)$$

$D0a(i, j, k-1)$ を算出する。

【0103】

また、 $\Delta x < \Delta y$ の場合、演算回路72は、LUT71から上記各到達階調A、CおよびDを読み出し、以下の式(2)に示すように、

$$D0a(i, j, k-1) = C + \Delta x \cdot (C - D) + (1 - \Delta y) \cdot (D - A) \quad \dots (2)$$

$D0a(i, j, k-1)$ を算出する。

【0104】

例えば、図8および図9の例では、 (S, E) が $(144, 48)$ の場合、 $(128, 32)$ 、 $(128, 64)$ 、 $(160, 64)$ および $(160, 32)$ で囲まれた計算エリアが特定され、補正後の前フレームFR(k-1)の映像データ $D0a(i, j, k-1)$ が60となる。したがって、前フレームFR(k-1)の映像データ $D1(i, j, k) = 48$ に基づいて、変調処理部33が現フレームFR(k)の映像データ $D1(i, j, k)$ を補正する場合と異なり、補正後の映像データ $D0a(i, j, k-1) = 60$ に基づいて、映像データ $D1(i, j, k)$ を補正するので、白光りの発生を防止できる。

【0105】

なお、上記では、LUT71が記憶している到達階調のデータ深度(ビット幅)が、映像データ $D1(i, j, k)$ と同一の値(6ビット)の場合を例にして説明したが、LUT71の記憶容量削減が強く求められる場合には、上記LUT71に記憶する各到達階調のデータ深度(ビット幅)を、上記前々フレームFR(k-2)

の映像データ $D 0(i, j, k-2)$ のデータ深度、および、前フレーム $F R(k-1)$ の映像データ $D 0(i, j, k-1)$ のデータ深度のうちの大きくない方と一致するように設定することが望まれる。

【 0 1 0 6 】

当該構成であっても、前々回および前回の映像データを用いた演算の有効数字と同じビット幅、すなわち、短い方のビット幅に設定されている。したがって、演算精度を落とさない範囲で、 $L U T 7 1$ に必要な記憶容量を最も削減できる。

【 0 1 0 7 】

〔第 2 の実施形態〕

本実施形態に係る変調駆動処理部 2 1 a には、図 1 0 に示すように、切り捨て回路 3 6 とフレームメモリ 3 1 および変調処理部 3 3 との間に、 $F R C$ (Frame Rate Control) 回路 (最下位ビット制御手段) 3 8 が配置されている。

【 0 1 0 8 】

上記 $F R C$ 回路 3 8 は、切り捨て回路 3 6 の出力する映像データの最下位のビットを、映像データ $D(i, j, k)$ に応じて、予め定められたパターンで変化させた後、映像データ $D 1(i, j, k)$ として出力している。上記パターンは、切り捨て回路 3 6 によって切り捨てられたビットの値とパターンの平均値とが一致するように設定されている。例えば、切り捨てた値 (2 ビット) が " 0 1 " であれば、その大きさは、切り捨て回路 3 6 の出力する映像データの最下位ビットの $1/4$ なので、上記値に対応するパターンとして、例えば、(0 、 0 、 0 、 1) が設定されている。同様に、" 0 0 " 、" 1 0 " 、" 1 1 " にそれぞれ対応して、(0 、 0 、 0 、 0) 、(1 、 0 、 1 、 0) および (1 、 1 、 1 、 0) のパターンが設定されている。

【 0 1 0 9 】

上記構成では、 $F R C$ 回路 3 8 によって、切り捨て回路 3 6 の切り捨てたビットの値とパターンの平均値とが一致するようなパターンで、映像データ $D 1(i, j, k)$ の最下位ビットが変化する。したがって、サブ画素 $S P I X(i, j)$ の輝度の平均値を、切り捨て回路 3 6 によって切り捨てられる前の映像データが示す輝度と一致させることができる。

【0110】

なお、サブ画素 $SPIX(i, j)$ の応答速度が遅く、サブ画素 $SPIX(i, j)$ が補正映像データ $D2(i, j, k)$ の変動に追従して輝度を変更できない場合、サブ画素 $SPIX(i, j)$ の輝度の平均値は、上記所望の値にならないが、本実施形態に係る変調駆動処理部 21a では、FRC 回路 38 によって変更されるビットが映像データ $D1(i, j, k)$ の最下位ビットであり、変調処理部 33 が前フレーム $FR(k-1)$ から現フレーム $FR(k)$ への階調遷移を強調している。したがって、変調駆動処理部 21a は、何ら支障なく、サブ画素 $SPIX(i, j)$ の輝度の平均値を上記所望の値に設定できる。

【0111】

ここで、各サブ画素 $SPIX(i, j)$ の占有面積が極めて小さく、空間分解能および輝度分解能が、人間の視覚の限界近く、あるいは、限界以上に高い範囲に設定されている画素アレイ 2 の場合、すなわち、画素の 1 つ 1 つを視認できない距離で見ることが想定されている画素アレイ 2 の場合、ノイズ付加回路 34 によって、5 ビット程度の大きさで時系列的に固定のノイズを付加しても、ノイズパターンが画像表示装置の使用者に視認される虞れはない。このような画像表示装置としては、例えば、15 インチの XGA (eXtended Graphic Array) ディスプレイなどが挙げられ、この場合のサブ画素 $SPIX(i, j)$ の間隔 (精細度) は、 $300\ \mu\text{m}$ 程度に設定されている。

【0112】

ところが、画素アレイ 2 の空間分解能および輝度分解能が上記範囲を下回ると、時系列的に固定のノイズを付加する構成では、画素アレイ 2 が表示している映像が特定の状況 (例えば、特定の明るさや特定の動き) にあるときに、ノイズパターンが画像表示装置 1 の使用者に視認される虞れがある。このような画像表示装置としては、例えば、15 インチの VGA ディスプレイなどが挙げられる。

【0113】

これに対して、本実施形態に係る変調駆動処理部 21a では、FRC 回路 38 が映像データ $D1(i, j, k)$ の最下位ビットを変更している。したがって、このような画像表示装置に適用した場合であっても、使用者によるノイズパターンの視

認を妨害でき、時系列的に固定のノイズを付加する場合と比較して、画像表示装置 1 a の見かけ上の表示品質を向上できる。

【0114】

〔第3の実施形態〕

ところで、上記第1および第2の実施形態では、ノイズ付加回路 3 4 が映像データ $D(i, j, *)$ へ付加するノイズが時系列的に固定されており、あるサブ画素 $SPIX(i, j)$ への映像データ $D(i, j, *)$ には、常時同一の値のノイズが付加される場合について説明した。これに対して、本実施形態では、ノイズ付加回路 3 4 が映像データ $D(i, j, *)$ へ付加するノイズを時系列的に変化する構成について説明する。なお、当該構成は、第1および第2の実施形態のいずれにも適用できるが、以下では、図1を参照しながら、第1の実施形態に適用した場合について説明する。

【0115】

すなわち、本実施形態に係る変調駆動処理部 2 1 b では、ノイズ生成回路 3 5 に代えて、時系列的に変化するノイズを生成するノイズ生成回路 3 5 b が設けられている。本実施形態に係るノイズ生成回路 3 5 b では、制御回路 5 3 に代えて設けられた制御回路 5 3 b が、アドレスカウンタ 5 2 のリセットタイミングと、フレーム $FR(k)$ の最初の映像データ $D(1, 1, k)$ との位相差を、フレーム毎に変更している。

【0116】

例えば、制御回路 5 3 b は、最初のフレーム $FR(k)$ では、最初の映像データ $D(1, 1, k)$ が印加される時点で、アドレスカウンタ 5 2 をリセットし、メモリ 5 1 の最初のアドレスに記憶されたノイズデータが、最初の映像データ $D(1, 1, k)$ に付加される。一方、次のフレーム $FR(k+1)$ では、制御回路 5 3 b は、アドレスカウンタ 5 2 のリセットタイミングを1映像データ分早く設定し、メモリ 5 1 の2番目のアドレスに記憶されたノイズデータが、最初の映像データ $D(1, 1, k+1)$ に付加される。

【0117】

このように、本実施形態では、ノイズ付加回路 3 4 が映像データ $D(i, j, *)$ へ

付加するノイズを時系列的に変化させている。ここで、上述したように、画素アレイ 2 の空間分解能および輝度分解能が人間の視覚の限界に近い、限界以上に高い範囲に設定されている場合は、時系列的に固定のノイズを付加しても、ノイズパターンが画像表示装置 1 の使用者に視認される虞れがない。ところが、画素アレイ 2 の空間分解能および輝度分解能が人間の視覚の限界を大幅に下回り、1 つ 1 つのサブ画素 $SPIX(i, j)$ が画像表示装置の使用者に視認される場合、上述のように、時系列的に固定のノイズを付加すると、ノイズパターンが画像表示装置の使用者に認識されてしまう。このような画像表示装置としては、例えば、20 インチの VGA ディスプレイや 40 インチの XGA ディスプレイなどが挙げられる。

【0118】

これに対して、本実施形態に係る変調駆動処理部 21b では、ノイズ付加回路 34 が映像データ $D(i, j, *)$ へ付加するノイズを時系列的に変化させている。したがって、このような画像表示装置に適用した場合であっても、使用者によるノイズパターンの視認を妨害でき、時系列的に固定のノイズを付加する場合と比較して、画像表示装置 1b の見かけ上の表示品質を向上できる。

【0119】

ところで、上記各実施形態に係る変調処理部 33 は、チラツキやノイズ感のない安定した静止画を表示するために、前フレーム $FR(k-1)$ の映像データ $D0a(i, j, k-1)$ と現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ との差が予め定められたしきい値よりも小さい場合、階調遷移を強調せず、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ をそのまま出力している。

【0120】

この場合、上記しきい値は、ノイズの時系列変化の変動幅に合わせて設定される。より詳細には、しきい値は、ノイズの時系列変化の変動幅と同じか、あるいは、大きい値であって、しかも、階調遷移を強調しなくても、サブ画素 $SPIX(i, j)$ の応答速度不足による階調遷移の不足が使用者に視認されない程度に小さな値に設定される。一例として、上述した数値、すなわち、映像データ $D(i, j, k)$ が 8 ビットで、ノイズの大きさが ± 5 ビットであり、切り捨て回路 36 が 2 ビ

ットを切り捨てる場合、上記しきい値は 8 階調 ($= 2^{(5-2)}$) に設定される。

【0121】

このように、上記しきい値がノイズの時系列変化の変動幅と同じか、より大きな値に設定されている。したがって、静止画を表示している場合、ノイズによって映像データ $D1(i, j, k)$ が変動し、階調遷移が発生しても、変調処理部 33 は、当該階調遷移を強調せず、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ をそのまま出力する。このように、第 3 の実施形態に係る変調処理部 33 は、階調遷移がノイズデータの加算のみによって発生し得る階調遷移の場合に、階調遷移を強調せず、第 2 の実施形態に FRC 回路 38 を付加した構成における変調処理部 33 は、ノイズデータの加算と上記 FRC 回路 38 による最下位ビットの変更とのみによって発生し得る階調遷移である場合に階調遷移を強調しない。したがって、ノイズに起因する階調遷移が強調されることはなく、以下の不具合、すなわち、ノイズに起因する階調遷移を強調した結果、ノイズパターンが使用者に視認されるという不具合の発生を防止できる。

【0122】

また、本実施形態のように、ノイズ付加回路 34 が映像データ $D(i, j, *)$ へ付加するノイズを時系列的に変化させる場合、すなわち、第 1 の実施形態よりも、短い距離 (1 つ 1 つのサブ画素 $SPIX(i, j)$ が画像表示装置の使用者に視認される距離) から見るのが想定される場合、ノイズ生成回路 35 が生成するノイズデータの絶対値の最大値は、8 階調以下に設定する方が望ましい。

【0123】

〔第 4 の実施形態〕

上記では、ノイズ生成回路が生成するノイズの最大値が一定の場合を例にして説明したが、本実施形態では、入力端子 $T1$ に入力される映像データ $D(i, j, k)$ の示す階調によって、ノイズの最大値を変更する構成について説明する。なお、当該構成は、第 1 ないし第 3 のいずれの実施形態にも適用できるが、以下では、図 11 を参照しながら、第 1 の実施形態に適用した場合について説明する。

【0124】

すなわち、本実施形態に係る変調駆動処理部 21c では、図 1 に示すノイズ生

成回路 35 に代えて、出力するノイズデータの大きさを変更可能なノイズ生成回路 35c が設けられており、さらに、映像データ $D(i, j, k)$ の表示階調レベルを検出し、検出結果に応じた大きさのノイズを出力するように、上記ノイズ生成回路 35c へ指示する階調判定部（ノイズ量制御手段）39 が設けられている。

【0125】

上記階調判定部 39 は、例えば、MPEG (Moving Picture Expert Group) ブロックなど、予め定められた大きさのブロックに含まれるサブ画素 SPiX への映像データ D を平均し、例えば、平均値に比例した値など、平均値が高い場合は、低い場合よりも最大値が大きな値のノイズを出力するように指示する。

【0126】

一方、上記ノイズ生成回路 35c には、例えば、階調判定部 39 から指示された値を、メモリ 51 の出力に乗算して、出力する乗算回路 54 が設けられており、ノイズ生成回路 35c の出力するノイズデータの最大値を、指示された値に変更する。

【0127】

上記構成では、ブロック内の映像データ D の平均値が高い場合、すなわち、平均値が低い場合に比べて、ノイズの相対的な大きさが小さくなるため、ノイズの大きさを大きくしても、使用者にノイズパターンが認識され難い場合には、ノイズの最大値を大きく設定する。一方、映像データ D の平均値が低い場合、すなわち、平均値が高い場合と比較して、ノイズの相対的な大きさが大きいため、ノイズの大きさを小さくしないと、使用者にノイズパターンが認識される虞れがある場合には、ノイズの最大値を小さく設定する。この結果、ブロックの輝度の平均値がいずれの値であっても、その値に適した値に、ノイズの最大値を設定でき、ノイズの最大値が固定の場合よりも表示品質の高い画像表示装置 1c を実現できる。

【0128】

なお、上記では、平均値を算出するためのブロックが、MPEG ブロックと一致している場合を例にして説明したが、これに限らず、任意の大きさのブロックの平均値を設定してもよい。ただし、MPEG 映像のように、ブロック単位で符

号化された映像を表示する場合は、符号化のブロックサイズと、平均値を検出するためのブロックサイズとを略同一に設定する方が望ましい。

【0129】

なお、上記では、ブロックに含まれる全てのサブ画素 $SPIX$ の映像データ D を平均する場合を例にして説明したが、これに限るものではない。例えば、ブロック内のある走査信号線 GL に対応するサブ画素 $SPIX(i, j)$ など、ブロック内の一定数のサブ画素 $SPIX$ への映像データ D を平均する構成であれば、以下の不具合、すなわち、ブロック内に、周囲と大幅に異なる階調が指示されるサブ画素 $SPIX(i, j)$ が存在する場合に、当該サブ画素 $SPIX(i, j)$ への映像データ $D(i, j, k)$ を基準にして、ノイズの最大値を不適切な値に設定してしまうという不具合の発生を防止できる。

【0130】

〔第5の実施形態〕

ところで、上記では、前フレーム階調補正回路 37 が前フレーム映像信号 $DAT0$ を常時補正する場合を例にして説明した。これに対して、本実施形態に係る変調駆動処理部 21d では、前フレーム階調補正回路 37 による予測値 $D0a(i, j, k-1)$ と前フレーム $FR(k-1)$ の映像データ $D0(i, j, k-1)$ との差（絶対値）が予め定められた閾値以上の場合、前フレーム階調補正回路 37d が予測値 $D0a(i, j, k-1)$ を出力し、それ以外の場合には、前フレーム階調補正回路 37d が前フレーム映像信号 $DAT0$ を、そのまま出力している。なお、本構成も、上記各実施形態に適用できるが、以下では、図1を参照しながら、第1の実施形態に適用した場合について説明する。

【0131】

すなわち、本実施形態では、各映像データ $D1(i, j, k)$ の階調が6ビットの場合の一例として、上記閾値が2階調程度に設定されている。なお、予測精度を下げる要因としては、例えば量子化ノイズなど、種々の要因が存在するので、これらの影響に応じて、上記閾値は、2～4階調程度に設定してもよい。

【0132】

ここで、予測値と目的値 ($D0(i, j, k-1)$) との差が小さい場合は、両者の差

が大きい場合と比較して、前フレーム $FR(k-1)$ において、サブ画素 $SPIX(i, j)$ の階調は、前フレーム $FR(k-1)$ の映像データ $D0(i, j, k-1)$ が示す階調に十分近づいている。したがって、前フレーム階調補正回路 37d が補正せず、変調処理部 33 が上記映像データ $D0(i, j, k-1)$ に基づいて、現フレーム $FR(k)$ の映像データ $D1(i, j, k)$ を補正したとしても、白光りや黒沈みが発生する虞れが少なく、仮に発生したとしても、白光りや黒沈みの程度は小さい。また、予測値と目的値との差が小さい場合は、両者の差が大きい場合よりも、予測時の誤差の相対的な大きさが大きくなる。したがって、変調処理部 33 によって階調遷移が強調されると、予測時の誤差による階調の変化がユーザに視認されやすい。

【0133】

これに対して、予測値と目的値 ($D0(i, j, k-1)$) との差が大きい場合は、前フレーム映像信号 $DAT0$ を補正しないと白光りや黒沈みが発生しやすい。また、予測時の相対的な誤差が小さいため、前フレーム映像信号 $DAT0$ を補正しても、予測時の誤差に起因する階調の変化がユーザに視認されにくい。

【0134】

本実施形態では、予測値と目的値 ($D0(i, j, k-1)$) との差が閾値よりも小さい場合、すなわち、前フレーム映像信号 $DAT0$ を補正しなくても、白光りや黒沈みが発生しにくく、しかも、前フレーム映像信号 $DAT0$ を補正すると、予測時に誤差が発生した場合に表示品質を低下させやすい場合に、前フレーム階調補正回路 37a は、前フレーム映像信号 $DAT0$ を補正せず、前フレーム映像信号 $DAT0$ を補正しないと、白光りや黒沈みが発生する場合にのみ、前フレーム映像信号 $DAT0$ を補正する。この結果、予測時の誤差に起因する表示品質の低下を抑制しながら、白光りや黒沈みの発生を防止できる。

【0135】

〔第6の実施形態〕

上記第5の実施形態では、予測値と目的値との差に基づいて、前フレーム階調補正回路 37d が補正の要否を判定する構成について説明したが、本実施形態では、LUTに予め補正の要否を示す情報を書き込んでおき、前フレーム階調補正回路が当該情報を参照して、補正の要否を判定する構成について説明する。なお

、本構成も、上記各実施形態に適用できるが、以下では、図1を参照しながら、第1の実施形態に適用した場合について説明する。

【0136】

すなわち、本実施形態に係るLUT71eでは、図12に示すように、各領域 $\alpha 1 \cdot \alpha 2$ 、すなわち、前フレーム階調補正回路37が補正せず、変調処理部33が前フレームFR(k-1)の映像データD1(i,j,k-1)に基づいて現フレームFR(k)の映像データD1(i,j,k)を補正するとユーザに視認される程度に、映像データD1(i,j,k)と実際の階調とが相違する領域では、図9と同様の値が記憶されているが、残余の領域 $\alpha 3$ には、目標値(E)自体が記憶されている。

【0137】

一方、本実施形態に係る演算回路72eは、上記両映像データD00(i,j,k-2)および映像データD0(i,j,k-1)の組み合わせ(S,E)が入力され、当該組み合わせ(S,E)が、上記計算エリアのいずれに属しているかが特定されると、当該計算エリアの四隅の到達階調A~Dのうち、予め定められた到達階調を読み出し、当該到達階調が計算エリアの境界の階調と一致しているか否かを判定して、到達階調として目標値が記録されているか否か、すなわち、上記領域 $\alpha 3$ か否かを判定する。さらに、領域 $\alpha 3$ に属していると判定したときに、演算回路72bは、前フレーム映像信号DAT0を補正せず、領域 $\alpha 1$ および $\alpha 2$ に属していると判断したときにのみ、演算回路72eは、前フレーム映像信号DAT0を補正する。

【0138】

したがって、第5の実施形態と同様に、白光りや黒沈みが発生せず、予測時の誤差に起因する表示品質の低下が見込まれる場合には、前フレーム映像信号DAT0を補正せず、白光りや黒沈みが発生する場合にのみ、前フレーム映像信号DAT0を補正できる。

【0139】

〔第7の実施形態〕

本実施形態では、温度に応じて、前フレーム階調補正回路による補正処理を変更する構成について説明する。なお、上記第1ないし第6の実施形態のいずれに

も適用できるが、以下では、第6の実施形態に適用した場合について説明する。

【0140】

すなわち、本実施形態に係る変調駆動処理部21fには、図13に示すように、第6の実施形態の構成に加えて、サブ画素SPIXの温度を検出する温度センサ40が設けられており、前フレーム階調補正回路37fは、ある前々フレームの映像データD00および前フレームの映像データD0の組み合わせが入力された場合に、映像データD0を補正すべきか否かと補正後の映像データD0aとを、温度センサ40が検出した温度によって変更する。

【0141】

具体的には、本実施形態に係る前フレーム階調補正回路37fには、予め定められた各温度範囲にそれぞれ対応する複数のLUT71fが設けられている。各LUT71fには、それぞれに対応する温度範囲における到達値がLUT71と同様に記憶されている。

【0142】

一方、前フレーム階調補正回路37fの演算回路72fは、温度センサ40からの温度情報に応じて、各LUT71fの中から、補間演算時に参照するLUT71fを選択する。

【0143】

ここで、例えば、サブ画素SPIXとして液晶素子を採用した場合、液晶素子の応答速度が温度によって変化する。このように、応答速度が温度によって変化するサブ画素SPIXを採用した場合、前フレーム階調補正回路37fが補正しなかったときに、変調処理部33による現フレームの映像データD1の補正によって、白光りや黒沈みが発生するか否かが変化する。

【0144】

ところが、上記構成では、温度によってサブ画素SPIXの応答速度が変化して、白光りや黒沈みを防止するために必要な補正処理が変化したとしても、前フレーム階調補正回路37fが、現在のサブ画素SPIXの温度に応じて、前フレーム映像信号DAT0を補正できるので、温度に拘らず、白光りや黒沈みの発生を防止することができる。

【0145】.

さらに、本実施形態に係る前フレーム階調補正回路 37f は、温度が上昇して、予め定められた温度範囲になると、前フレーム映像信号 DAT0 の補正を停止する。したがって、温度が上昇して、サブ画素 SPiX(i, j) が十分な速度で応答できるようになり、応答不足に起因する白光りや黒沈みが発生しなくなると、変調処理部 33 は、補正前の前フレーム映像信号 DAT0 と現フレームの映像信号 DAT とに基づいて、前フレームから現フレームへの階調遷移を強調するように、現フレームの映像信号 DAT を補正する。

【0146】

この結果、以下の現象、すなわち、応答不足に起因する白光りや黒沈みが発生しない温度であるにも拘わらず、前フレーム階調補正回路 37f によって階調遷移が抑制されるという現象が発生せず、画像表示装置 1 の応答速度低下を防止できる。

【0147】

なお、上記では、LUT71f を切り換える場合を例にして説明したが、温度方向の変化に対しても、到達値は、単調に変化するので、演算回路 72f が、現在の温度に最も近い 2 つの LUT71f から、それぞれの温度での到達値を読み出し、両到達値間を補間して、現在の温度での到達値を算出してもよい。当該構成では、LUT71f の数が少なくても、より高精度に白光りおよび黒沈みの発生を防止できる。

【0148】

〔第 8 の実施形態〕

本実施形態では、温度に応じて、フレームメモリ 31 に記憶する前々フレームの映像データ D00(i, j, k-2) のビット幅および前フレームの映像データ D0(i, j, k-1) のビット幅を変更する構成について説明する。なお、上記第 1 ないし第 7 の実施形態のいずれにも適用できるが、以下では、第 7 の実施形態に適用した場合について説明する。

【0149】

すなわち、本実施形態に係る変調駆動処理部 21g では、図 13 に示すように

、制御回路 3 2 g が温度センサ 4 0 の検出結果に応じて、フレームメモリ 3 1 に記憶する前々フレームの映像データ $D 0 0 (i, j, k-2)$ のビット幅および前フレームの映像データ $D 0 (i, j, k-1)$ のビット幅を変更し、より低い温度範囲になるに従って、前々フレームの映像データ $D 0 0 (i, j, k-2)$ のビット幅を拡大すると共に、ビット幅の増大分だけ、前フレームの映像データ $D 0 (i, j, k-1)$ のビット幅を縮小している。なお、上記制御回路 3 2 g および後述の制御回路 3 2 i が特許請求の範囲に記載のビット幅制御手段に対応している。

【 0 1 5 0 】

ここで、フレームメモリ 3 1 の記憶容量を削減するために、フレームメモリ 3 1 に記憶されている上記両映像データ $D 0 0 (i, j, k-2)$ および $D 0 (i, j, k-1)$ のビット幅の合計は、予め定められたビット幅（例えば、1 0 ビット）に制限されており、各映像データ $D 0 0 (i, j, k-2)$ および $D 0 (i, j, k-1)$ のビット幅は、最も的確に前フレームの映像データ $D 0 (i, j, k-1)$ を補正できるように設定されている。一方、サブ画素 $S P I X (i, j)$ の応答速度が遅くなるに従って、前々フレームから前フレームへの階調遷移によって、サブ画素 $S P I X (i, j)$ が到達する階調は、前々フレームの映像データの影響を受けやすくなるので、温度が変化すると、各映像データ $D 0 0 (i, j, k-2)$ および $D 0 (i, j, k-1)$ のビット幅の最適な割り当ても変化してしまう。

【 0 1 5 1 】

本実施形態に係る前フレーム階調補正回路 3 7 g は、温度によってサブ画素 $S P I X$ の応答速度が変化して、最適なビット割り当てが変化すると、現在のサブ画素 $S P I X$ の温度に応じて、両映像データ $D 0 0 (i, j, k-2)$ および $D 0 (i, j, k-1)$ のビット幅の割り当てを変更し、より低い温度範囲になるに従って、前々フレームの映像データ $D 0 0 (i, j, k-2)$ のビット幅を拡大する。この結果、温度変化に拘らず、それぞれのビット幅の割り当てを適切な状態に保つことができ、映像データ $D 0 (i, j, k-1)$ をより高精度に補正できる。したがって、よりの確に白光りや黒沈みの発生を防止できる。

【 0 1 5 2 】

例えば、前々および前フレームの映像データのビット幅の合計値が上述の数値

例のように、10ビットとすると、通常の温度範囲では、前々フレームの映像データ $D00(i, j, k-2)$ のビット幅が4ビットに設定され、それよりも低い温度になると、5ビットに変更される。

【0153】

〔第9の実施形態〕

ところで、上記各実施形態では、LUT71 (71e・71f) に到達値が記憶されている場合を例にして説明したが、これに限るものではない。上述したように、白光りの発生が最も表示品質を低下させやすいので、白光りの発生を確実に防止できるように、LUT71 に到達値よりも大きな階調が記述されており、前フレーム階調補正回路37 (37～37f) は、前フレーム映像信号DAT0の補正が必要な場合に、到達値よりも大きな階調に補正してもよい。

【0154】

当該構成では、到達値を記述する場合よりも前フレームから現フレームへの階調遷移強調を抑えることができるので、白光りの発生を確実に防止できる。

【0155】

さらに、前フレーム階調補正回路による補正処理を映像の種類に応じて変更してもよい。なお、上記第1ないし第8の実施形態のいずれにも適用できるが、以下では、第6の実施形態に適用した場合について説明する。

【0156】

具体的には、本実施形態に係る変調駆動処理部21hには、図14に示すように、第6の実施形態の構成に加えて、映像の種類を判定する判定回路41が設けられており、前フレーム階調補正回路37hは、ある前々フレームの映像データD00および前フレームの映像データD0の組み合わせが入力された場合に、映像データD0を補正すべきか否かと補正後の映像データD0aとを、判定回路41による判定結果によって変更する。

【0157】

具体的には、本実施形態に係る前フレーム階調補正回路37hには、予め定められた各温度範囲にそれぞれ対応する複数のLUT71hが設けられている。各LUT71hには、それぞれに対応する種類の映像が入力された場合の到達値が

LUT 71 と同様に記憶されている。一方、前フレーム階調補正回路 37 h の演算回路 72 h は、判定回路 41 からの温度情報に応じて、各 LUT 71 hの中から、補間演算時に参照する LUT 71 h を選択する。

【0158】

ここで、上述したように、前フレーム階調補正回路 37 h は、前フレーム映像信号 DAT 0 の補正が必要な場合に、到達値よりも大きな階調に補正する場合、補正値を到達値よりも大きくし過ぎると、白光りの発生を確実に防止できる一方で、応答速度が低下してしまう。したがって、補正値と到達値との差は、応答速度低下が目立たない範囲で、白光りの発生を抑制できるように設定されている。ところが、両者の差の適切な値は、映像の種類によっても異なるため、両者の差が固定されている場合、多くの種類の映像が入力される場合には、全ての種類の映像で適切な値に設定することが難しい。

【0159】

これに対して、本実施形態に係る変調駆動処理部 21 h では、補正値と到達値との差が映像の種類に応じて変更される。したがって、例えば、動きのはやい映像と動きの遅い映像となど、いずれの種類の映像が入力される場合であっても、応答速度低下が目立たない範囲で、白光りの発生を抑制できる。

【0160】

さらに、本実施形態に係る前フレーム階調補正回路 37 h は、映像の種類が動きの遅い映像であることを示しており、前フレーム階調補正回路 37 h が前フレーム映像信号 DAT 0 を補正しなくても、応答不足に起因する白光りや黒沈みが発生しないと見込まれる場合、前フレーム映像信号 DAT 0 の補正を停止する。この結果、以下の現象、すなわち、動きが遅く、応答不足に起因する白光りや黒沈みが発生しないような映像を表示しているにも拘わらず、前フレーム階調補正回路 37 h によって階調遷移が抑制されるという現象が発生せず、画像表示装置 1 の応答速度低下を防止できる。

【0161】

〔第 10 の実施形態〕

本実施形態では、映像の種類に応じて、フレームメモリ 31 に記憶する前々フ

フレームの映像データ $D00(i, j, k-2)$ のビット幅および前フレームの映像データ $D0(i, j, k-1)$ のビット幅を変更する構成について説明する。なお、上記第1ないし第9の実施形態のいずれにも適用できるが、以下では、第7の実施形態に適用した場合について説明する。

【0162】

すなわち、本実施形態に係る変調駆動処理部 21 i では、図 14 に示すように、制御回路 32 i が判定回路 41 の検出結果に応じて、フレームメモリ 31 に記憶する前々フレームの映像データ $D00(i, j, k-2)$ のビット幅および前フレームの映像データ $D0(i, j, k-1)$ のビット幅を変更し、映像の種類がより動きの速い映像の場合は、前々フレームの映像データ $D00(i, j, k-2)$ のビット幅をより拡大すると共に、ビット幅の増大分だけ、前フレームの映像データ $D0(i, j, k-1)$ のビット幅を縮小している。

【0163】

ここで、フレームメモリ 31 の記憶容量を削減するために、フレームメモリ 31 に記憶されている上記両映像データ $D00(i, j, k-2)$ および $D0(i, j, k-1)$ のビット幅の合計は、予め定められたビット幅（例えば、10ビット）に制限されており、各映像データ $D00(i, j, k-2)$ および $D0(i, j, k-1)$ のビット幅は、最も的確に前フレームの映像データ $D0(i, j, k-1)$ を補正できるように設定されている。一方、前々フレームから前フレームへの階調遷移によって、サブ画素 $SPIX(i, j)$ が到達する階調は、動きの速い映像が入力される場合の方が、前々フレームの映像データの影響を受けやすい。したがって、映像の種類が変化して、期待される動きの速さが変化すると、各映像データ $D00(i, j, k-2)$ および $D0(i, j, k-1)$ のビット幅の最適な割り当ても変化してしまう。

【0164】

本実施形態に係る前フレーム階調補正回路 37 i は、映像の種類が変化して、最適なビット割り当てが変化すると、現在の映像の種類に応じて、両映像データ $D00(i, j, k-2)$ および $D0(i, j, k-1)$ のビット幅の割り当てを変更し、映像の種類がより動きの速い映像の場合は、前々フレームの映像データ $D00(i, j, k-2)$ のビット幅を拡大する。この結果、映像の種類に拘らず、それぞれのビット幅

の割り当てを適切な状態に保つことができ、映像データ $D0(i, j, k-1)$ をより高精度に補正できる。したがって、よりの確に白光りや黒沈みの発生を防止できる。

【0165】

なお、上記各実施形態では、垂直配向モードかつノーマリブラックモードの液晶セルを表示素子として用いた場合を例にして説明したが、これに限るものではない。応答速度が遅く、階調遷移を強調するように変調して駆動したとしても、前々回から前回への階調遷移において、実際の階調遷移と、所望の階調遷移とに差が発生する表示素子であれば、略同様の効果が得られる。

【0166】

ただし、垂直配向モードかつノーマリブラックモードの液晶セルは、ディケイの階調遷移に対する応答速度がライズの場合に比べて遅く、階調遷移を強調するように変調して駆動したとしても、前々回から前回へのディケイの階調遷移において、実際の階調遷移と、所望の階調遷移とに差が発生しやすく、白光りが発生しやすい。したがって、上記実施形態の構成によって、白光りの発生を防止すると特に好適である。

【0167】

また、上記各実施形態では、変調駆動処理部を構成する各部材がハードウェアのみで実現されている場合を例にして説明したが、これに限るものではない。各部材の全部または一部を、上述した機能を実現するためのプログラムと、そのプログラムを実行するハードウェア（コンピュータ）との組み合わせで実現してもよい。一例として、画像表示装置 1 に接続されたコンピュータが、画像表示装置 1 を駆動する際に使用されるデバイスドライバとして、変調駆動処理部（21～21f）を、実現してもよい。また、画像表示装置 1 に内蔵あるいは外付けされる変換基板として、変調駆動処理部が実現され、ファームウェアなどのプログラムの書き換えによって、当該変調駆動処理部を実現する回路の動作を変更できる場合には、当該ソフトウェアを配布して、当該回路の動作を変更することによって、当該回路を、上記各実施形態の変調駆動処理部として動作させてもよい。

【0168】

これらの場合は、上述した機能を実行可能なハードウェアが用意されていれば、当該ハードウェアに、上記プログラムを実行させるだけで、上記各実施形態に係る変調駆動処理部を実現できる。

【0169】

【発明の効果】

本発明に係る画像表示装置の駆動装置は、以上のように、各画素の今回の階調を示す第1階調データが入力される入力端子と、上記入力端子へ入力される各第1階調データに、ノイズデータを加算し、さらに、予め定められたビット幅の下位ビットを切り捨てて、第2階調データを生成するノイズ付加手段と、互いに同じ色で互いに隣接する画素への第1階調データに加算されるノイズデータ同士がランダムな大きさになるように、上記ノイズデータを生成して、上記ノイズ付加手段へ与えるノイズ生成手段と、各画素の今回の第2階調データを次回まで記憶する記憶手段と、当該記憶手段から読み出した前回の第2階調データから、今回の第2階調データへの階調遷移を強調するように、今回の第2階調データを補正する第1補正手段とを備えている構成である。また、本発明に係るプログラムは、上記各手段としてコンピュータを動作させるプログラムであり、本発明に係る記録媒体には、上記プログラムが記録されている。さらに、これらのプログラムが上記コンピュータで実行されると、当該コンピュータは、上記画像表示装置の駆動装置として動作する。

【0170】

これらの構成では、記憶手段に記憶される第2階調データは、下位ビットの切り捨てによって第1階調データよりもビット幅が短く設定されている。また、第1補正手段によって前回から今回への階調遷移が強調されているので、画素の応答速度を向上できる。さらに、上記第1補正手段は、ノイズ付加手段の後段に配置されているので、第1補正手段をノイズ付加手段の前段に配置した場合と異なり、ノイズ付加に起因する白光りや黒沈みを発生させることなく、画素の応答速度を向上できる。

【0171】

これらの結果、各画素に表示される映像の表示品質を見かけ上低下させること

なく、画素の応答速度を向上可能で、しかも、回路規模および演算量の削減が可能な画像表示装置の駆動装置を実現できるという効果を奏する。

【0172】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記ノイズ生成手段は、同じ画素への第1階調データに、毎回同じ大きさのノイズデータが加算されるようにノイズデータを生成する構成である。

【0173】

上記構成によれば、同じ画素への第1階調データの大きさが時系列的に固定されているので、静止画を表示しているとき、各画素への第1階調データにノイズデータが加算されているにも拘わらず、上記各画素への第1補正手段の出力は、毎回同じ値になる。この結果、画像表示装置は、ノイズデータの付加に起因するチラツキやノイズ感のない安定した静止画を表示できるという効果を奏する。

【0174】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第1階調データは、8ビットで表現されており、上記各ノイズデータの絶対値の最大値は、1階調から32階調の範囲の値に設定されていると共に、上記ノイズ付加手段、ノイズ生成手段、記憶手段および第1補正手段は、RGBの色毎に設けられている構成である。

【0175】

当該構成では、上記駆動装置によって駆動される画像表示装置を、1画素を単独で視認できない距離から見た場合、上記ノイズデータの付加によって、ある画素と、それに隣接する画素との間に発生する輝度の差を、各画素の輝度の5%以内に抑えることができる。また、第1階調データによって指示された画素の輝度と、補正手段の出力によって制御された画素の輝度との差も、各輝度の5%以内に抑えることができる。したがって、カラー表示可能で、しかも、特に表示品質の高い画像表示装置を実現できるという効果を奏する。

【0176】

本発明に係る画像表示装置の駆動装置は、以上のように、同じ画素への第1階調データの大きさを時系列的に固定する構成に代えて、上記ノイズ生成手段は、

同じ画素への第1階調データに加算されるノイズデータ同士がランダムな大きさになるようにノイズデータを生成する構成である。

【0177】

当該構成では、同じ画素への第1階調データに加算されるノイズデータが時系列的に変化する。したがって、1つ1つの画素を十分識別可能な距離から見ることが想定され、ノイズが時系列的に固定されていると、ノイズパターンとして認識される画像表示装置であっても、ノイズデータの時系列的な変化によって、使用者によるノイズパターンの認識を妨げることができる。この結果、このような画像表示装置を駆動する場合に好適な駆動装置を実現できるという効果を奏する。

【0178】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第1補正手段は、前回の第2階調データと今回の第2階調データとの差が、ノイズデータの加算のみによって発生し得る差である場合、による今回の第2階調データの補正を停止する構成である。

【0179】

当該構成において、上記第1補正手段は、前回の第2階調データと今回の第2階調データとの差が、ノイズデータの加算のみによって発生し得る差である場合、今回の第2階調データの補正を停止する。したがって、ノイズデータによって発生した階調遷移を第1補正手段が強調した結果、ノイズパターンが視認されやすくなるという不具合の発生を防止できるという効果を奏する。

【0180】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第1階調データは、8ビットで表現されており、上記各ノイズデータの絶対値の最大値は、1階調から8階調の範囲の値に設定されていると共に、上記ノイズ付加手段、ノイズ生成手段、記憶手段および第1補正手段は、RGBの色毎に設けられている構成である。

【0181】

当該構成では、ノイズデータの絶対値の最大値が上記範囲に設定されているの

で、上記駆動装置によって駆動される画像表示装置を1画素を単独で視認できる距離から見た場合、上記ノイズデータの付加によって、ある画素と、それに隣接する画素との間に発生する輝度の差、並びに、第1階調データによって指示された画素の輝度と、補正手段の出力によって制御された画素の輝度との差の双方を、各画素の輝度の5%以内に抑えることができる。したがって、カラー表示可能で、しかも、特に表示品質の高い画像表示装置を実現できるという効果を奏する。

【0182】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、同じ画素への第2階調データを平均した階調が、上記ノイズ付加手段によって下位ビットが切り捨てられる前の階調になるように、予め設定されたパターンで各第2階調データの最下位ビットを変化させる最下位ビット制御手段を備えている構成である。

【0183】

当該構成では、静止画を表示する場合であっても、第2階調データが時系列的に変化する。したがって、表示される映像の明るさや動きによって1画素を単独で視認できるか否かが変化する程度の距離から見るのが想定され、静止画を表示する際に第2階調データが時系列的に固定されていると映像によってはノイズパターンが認識される虞れのある画像表示装置において、使用者によるノイズパターンの認識を妨げることができる。また、第2階調データの変化は、最下位ビットに制限されており、しかも、同じ画素への第2階調データを平均した階調が、上記ノイズ付加手段によって下位ビットが切り捨てられる前の階調になるように制御されるので、第2階調データが時系列的に変化しているにも拘わらず、各画素に表示される映像の表示品質の見かけ上の劣化を防止できる。これらの結果、上記画像表示装置を駆動する場合に好適な駆動装置を実現できるという効果を奏する。

【0184】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記第1補正手段は、前回の第2階調データと今回の第2階調データとの差が、

ノイズデータの加算と上記最下位ビット制御手段による最下位ビットの変更とのみによって発生し得る差である場合、今回の第2階調データの補正を停止する構成である。

【0185】

上記構成において、上記第1補正手段は、前回の第2階調データと今回の第2階調データとの差が、ノイズデータの加算と上記最下位ビット制御手段による最下位ビットの変更とのみによって発生し得る差である場合、今回の第2階調データの補正を停止する。したがって、ノイズ付加手段および最下位ビット制御手段によって発生した階調遷移を第1補正手段が強調した結果、ノイズパターンが視認されやすくなるという不具合の発生を防止できるという効果を奏する。

【0186】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記画素は、複数の領域に分割されており、各領域内に含まれる複数の画素への第1階調データを平均し、平均値が高い場合は、低い場合よりもノイズの絶対値の最大値が大きくなるように、上記ノイズ生成手段を制御するノイズ量制御手段を備えている構成である。

【0187】

上記構成では、ノイズ生成手段によって生成されるノイズデータの絶対値の最大値が、第1階調データの平均値によって変更される。したがって、上記最大値が固定の場合と比較して、現在表示中の映像に、より適した値に上記最大値を設定でき、表示品質の高い画像表示装置を実現できるという効果を奏する。

【0188】

本発明に係る画像表示装置の駆動装置は、以上のように、上記では、各領域内に含まれる複数の画素への第1階調データを平均し、その平均値に基づいて、上記最大値を設定している。したがって、ある画素へ指示された階調が周囲の画素の階調と大きく異なっているにも拘わらず、当該画素への階調を基準にして上記最大値を設定した結果、ノイズパターンが視認されやすくなるという不具合の発生を防止できるという効果を奏する。

【0189】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記入力端子へ入力される第1階調データからなる映像信号は、映像を複数の小ブロックに分割し、各小ブロック単位で符号化された映像信号であり、上記領域は、当該小ブロックと一致している構成である。

【0190】

当該構成では、上記領域が、映像信号を符号化する際の単位（映像として一体として扱われるサイズ、あるいは、符号化の単位であるためノイズが目立ちやすいサイズ）と一致している。したがって、映像信号をスケール変換して表示する場合（例えば、高精細な液晶表示装置に元信号を拡大して表示する場合など）であっても、上記不具合の発生を防止できるという効果を奏する。

【0191】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記記憶手段は、今回の第2階調データに加えて、前回の第2階調データも次回まで記憶すると共に、上記記憶手段が記憶した前々回および前回の第2階調データの組み合わせが予め定められた組み合わせの場合、上記第1補正手段が参照する前回の第2階調データを、前々回の第2階調データに近づくように補正する第2補正手段を含んでいる構成である。

【0192】

上記構成では、前々回および前回の第2階調データの組み合わせが予め定められた組み合わせの場合、上記第1補正手段が参照する前回の第2階調データは、前々回の第2階調データに近づくように補正される。したがって、前々回から前回への階調遷移が予め定められた階調遷移の場合、第2補正手段による補正がない場合と比較して、第1補正手段による補正量を抑えることができる。

【0193】

この結果、例えば、前々回から今回への階調遷移が、ディケイ→ライズの場合あるいはライズ→ディケイの場合のように、第1補正手段にて通常と同様の補正が行われると、白光りや黒沈みが発生するという現象が発生する場合であっても、第1補正手段の補正量を抑えることによって、当該現象の発生を抑制でき、画像表示装置の表示品質を向上できる。また、上記記憶手段が第1補正手段にて補

正される前の第2階調データを記憶しているので、補正後の第2階調データを記憶する構成とは異なり、第1補正手段の補正に起因する誤差が重畳、累積されることがない。したがって、比較的回路規模が小さく、補正のための演算の精度が低い回路によって、上記第1および第2補正手段を実施したとしても、画素の階調制御が発散したり、振動したりすることがない。これらの結果、比較的小さな回路規模で、表示品質のよい画像表示装置を実現できるという効果を奏する。

【0194】

本発明に係る画像表示装置の駆動装置は、以上のように、上記記憶手段が次回まで記憶する前回の第2階調データは、今回の第2階調データと同じビット幅であってもよいが、回路規模の縮小が特に求められる場合には、上記構成に加えて、上記記憶手段が今回の第2階調データおよび前回の第2階調データを記憶する前に、当該両第2階調データの少なくとも一方の下位ビットを切り捨てて、両第2階調データのビット幅の合計が、予め定められた設定値になるように制限するビット幅調整手段を備えている構成である。

【0195】

当該構成では、上記記憶手段が記憶する両第2階調データの合計値が制限されているので、全てを記憶する場合よりも回路規模を縮小できるという効果を奏する。

【0196】

本発明に係る画像表示装置の駆動装置は、以上のように、上記構成に加えて、上記ビット幅調整手段は、映像の種類および温度の少なくとも一方に応じて、上記設定値のうち、次回まで記憶される前回の第2階調データのビット幅が占める割合を変更する構成である。

【0197】

上記構成では、映像の種類および温度の少なくとも一方に応じて、上記設定値のうち、前々回の第2階調データとして読み出される第2階調データのビット幅の占める割合が変更されるので、映像の種類や温度に拘わらず、上記割合を適切な値に保ち続けることができる。この結果、画像表示装置の表示品質を高いレベルに維持し続けることができるという効果を奏する。

【0198】

本発明に係る画像表示装置は、以上のように、上記各駆動装置を備えている構成である。また、本発明に係るテレビジョン受像機は、以上のように、当該画像表示装置を備えている構成である。

【0199】

当該構成の画像表示装置およびテレビジョン受像機は、上記駆動装置装置を備えている。したがって、各画素に表示される映像の表示品質を見かけ上低下させることなく、画素の応答速度を向上可能で、しかも、回路規模および演算量を削減できるという効果を奏する。

【図面の簡単な説明】**【図1】**

本発明の実施形態を示すものであり、画像表示装置の変調駆動処理部の要部構成を示すブロック図である。

【図2】

上記画像表示装置の要部構成を示すブロック図である。

【図3】

上記画像表示装置に設けられた画素の構成例を示す回路図である。

【図4】

画素の表示階調を x 階調だけ増加したときに、画素の透過率が、周囲の輝度を基準に何%だけ増加するかを示す図面である。

【図5】

画素の表示階調を x 階調だけ増加したときに、本来の透過率を基準に何%だけ増加するかを示す図面である。

【図6】

上記変調駆動処理部の動作を示すものであり、前々回から今回への階調遷移がディケイ→ライズの場合の実際の輝度レベルを示すタイミングチャートである。

【図7】

上記変調駆動処理部の動作を示すものであり、前々回から今回への階調遷移がライズ→ディケイの場合の実際の輝度レベルを示すタイミングチャートである。

【図 8】

前々フレームの映像データと前フレームの映像データとの組み合わせで表現される領域と計算エリアとの関係を示す図面である。

【図 9】

上記変調駆動処理部に設けられたルックアップテーブルの内容を示す図面である。

【図 10】

本発明の他の実施形態を示すものであり、上記変調駆動処理部に設けられたルックアップテーブルの内容を示す図面である。

【図 11】

本発明のさらに他の実施形態を示すものであり、変調駆動処理部の要部構成を示すブロック図である。

【図 12】

本発明の別の実施形態を示すものであり、変調駆動処理部の要部構成を示すブロック図である。

【図 13】

本発明のまた別の実施形態を示すものであり、変調駆動処理部の要部構成を示すブロック図である。

【図 14】

本発明のさらに他の実施形態を示すものであり、変調駆動処理部の要部構成を示すブロック図である。

【図 15】

従来技術を示すものであり、画像表示装置の要部構成を示すブロック図である。

【図 16】

他の従来技術を示すものであり、画像表示装置の要部構成を示すブロック図である。

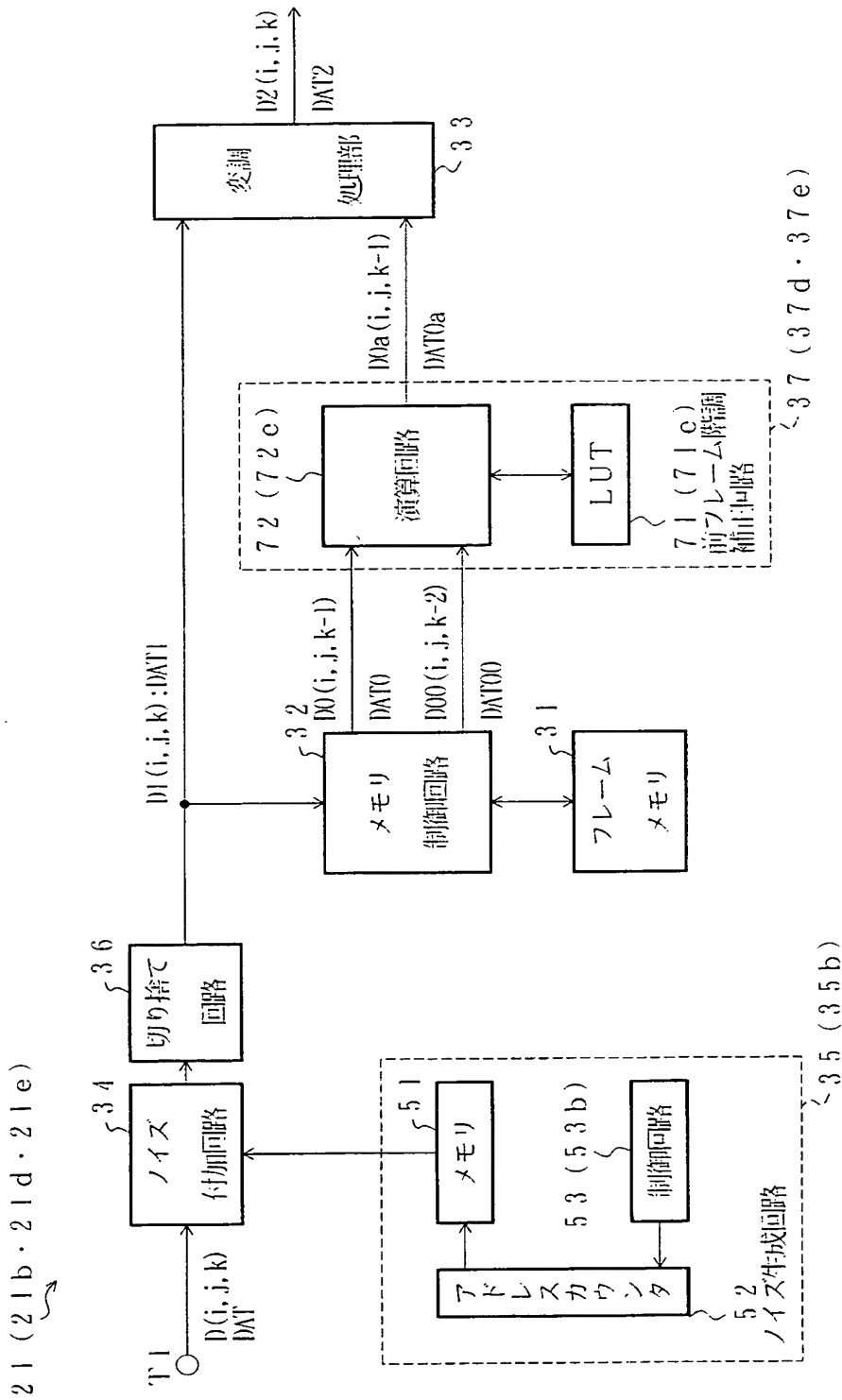
【符号の説明】

- 1 画像表示装置

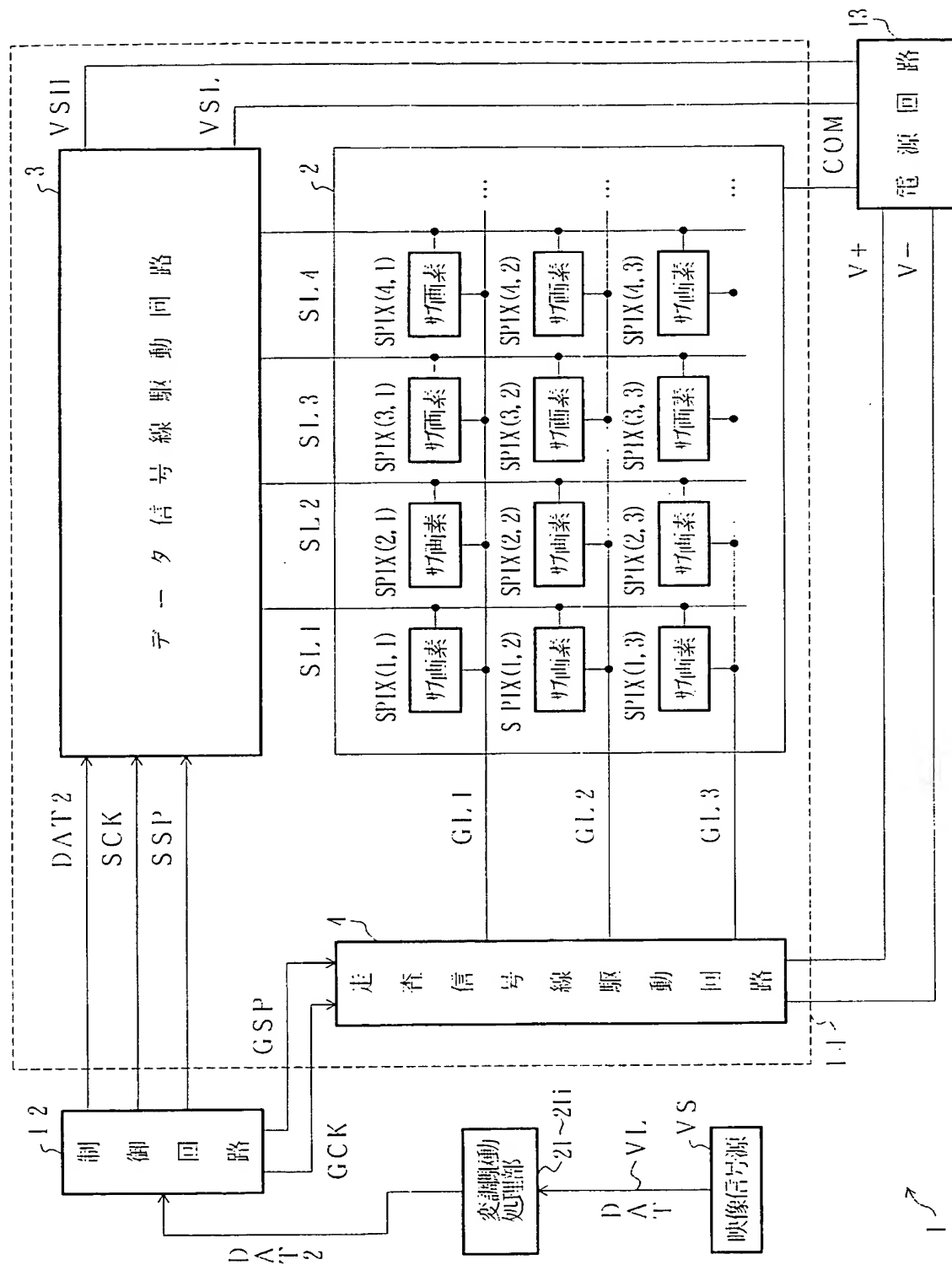
21 ~ 21 i . 変調駆動処理部 (駆動装置)
31 フレームメモリ
32 g · 32 i 制御回路 (ビット幅調整手段)
33 変調処理部 (第1補正手段)
34 ノイズ付加回路 (ノイズ付加手段)
35 ノイズ生成回路 (ノイズ生成手段)
37 ~ 37 i 前フレーム階調補正回路 (第2補正手段)
38 フレーム・レート・コントロール回路 (最下位ビット制御手段)
39 階調判定部 (ノイズ量制御手段)
S P I X (1,1) ... サブ画素 (画素)
T1 入力端子

【書類名】 図面

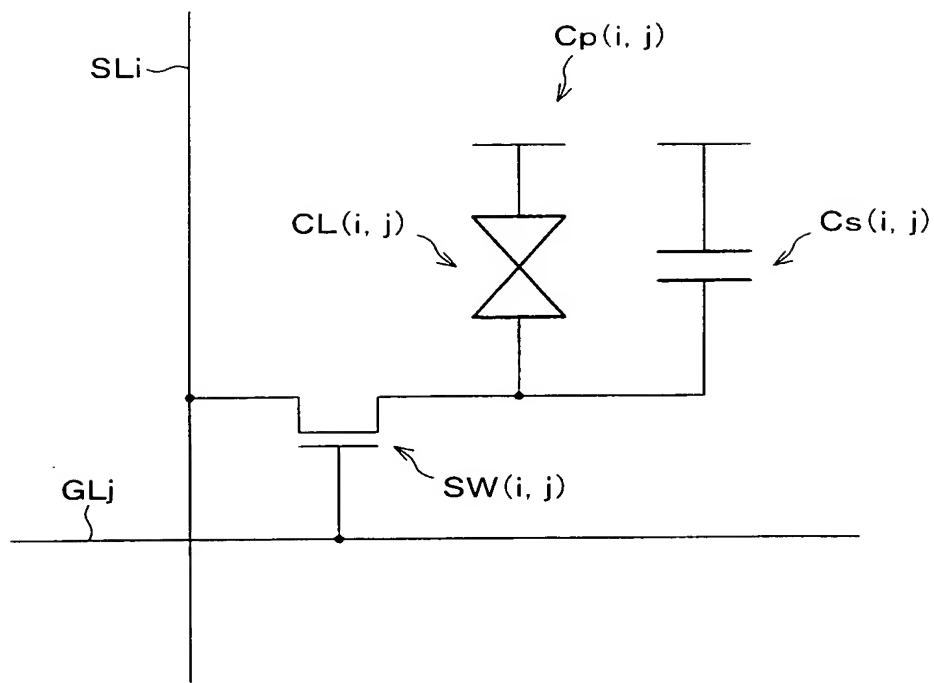
【図 1】



【図 2】



【図 3】



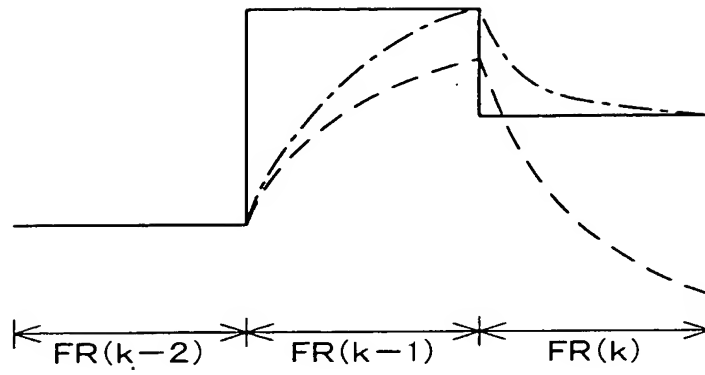
【図 4】

| 表示 階調 | 透過率 | 増加階調 x | | | | | | |
|----------|--------|--------|-------|--------|--------|--------|---------|---------|
| | | 4 | 8 | 12 | 16 | 24 | 32 | 48 |
| 32 | 1.04% | 1.03% | 4.74% | 11.56% | 21.76% | 53.10% | 100.00% | 244.01% |
| 64 | 4.78% | 0.22% | 1.03% | 2.52% | 4.74% | 11.56% | 21.76% | 53.10% |
| 128 | 21.95% | 0.05% | 0.22% | 0.55% | 1.03% | 2.52% | 4.74% | 11.56% |
| 192 | 53.56% | 0.02% | 0.09% | 0.22% | 0.42% | 1.03% | 1.94% | 4.74% |

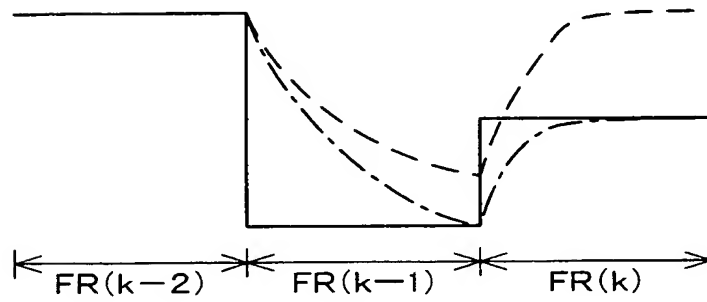
【図 5】

| 表示 階調 | 透過率 | 増加階調 x | | | | | | |
|----------|--------|--------|-------|-------|--------|--------|--------|--------|
| | | 4 | 8 | 12 | 16 | 24 | 32 | 48 |
| 32 | 1.04% | 0.31% | 0.66% | 1.06% | 1.50% | 2.52% | 3.74% | 6.77% |
| 64 | 4.78% | 0.68% | 1.41% | 2.20% | 3.03% | 4.85% | 6.88% | 11.59% |
| 128 | 21.95% | 1.54% | 3.13% | 4.78% | 6.49% | 10.09% | 13.91% | 22.28% |
| 192 | 53.56% | 2.49% | 5.03% | 7.64% | 10.31% | 15.84% | 21.63% | 33.95% |

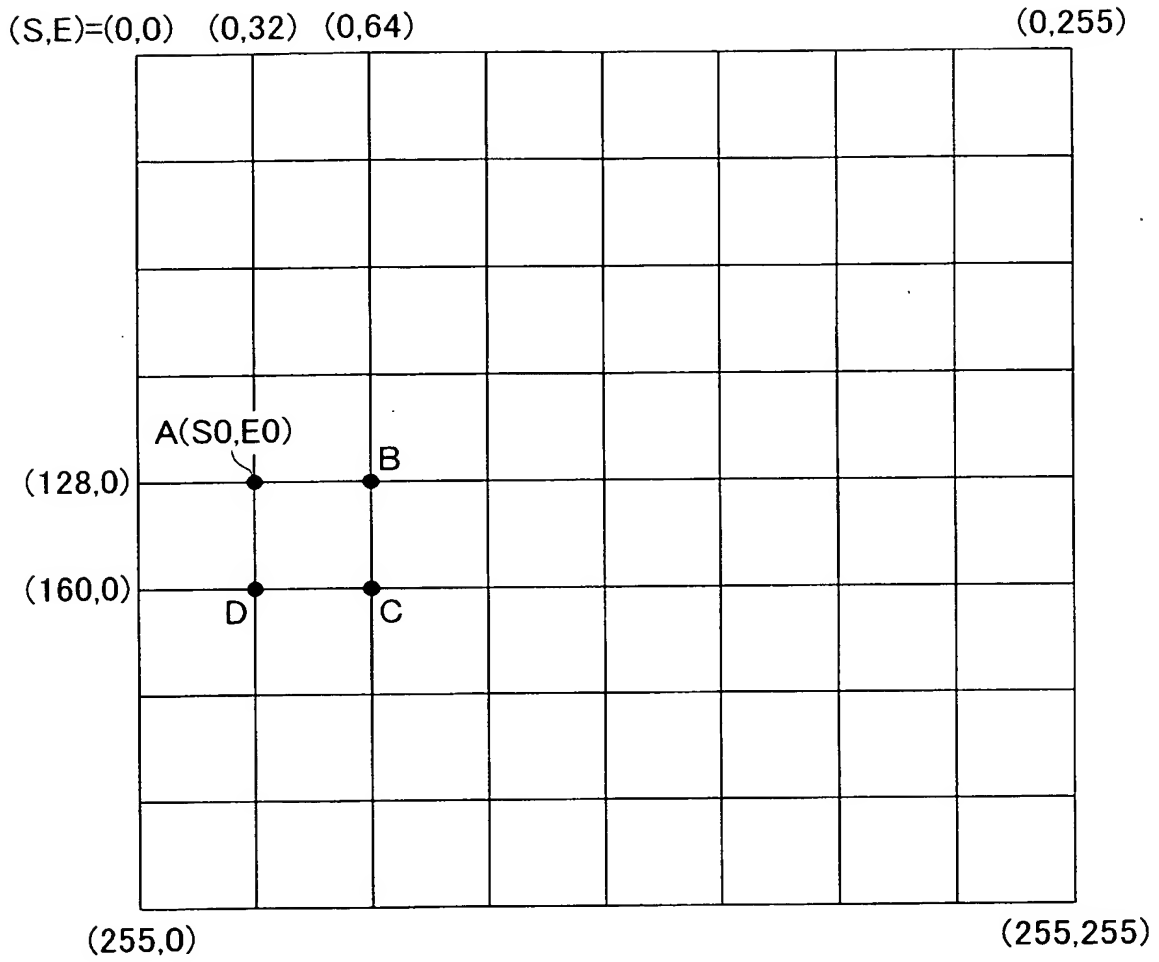
【図 6】



【図 7】



【図 8】



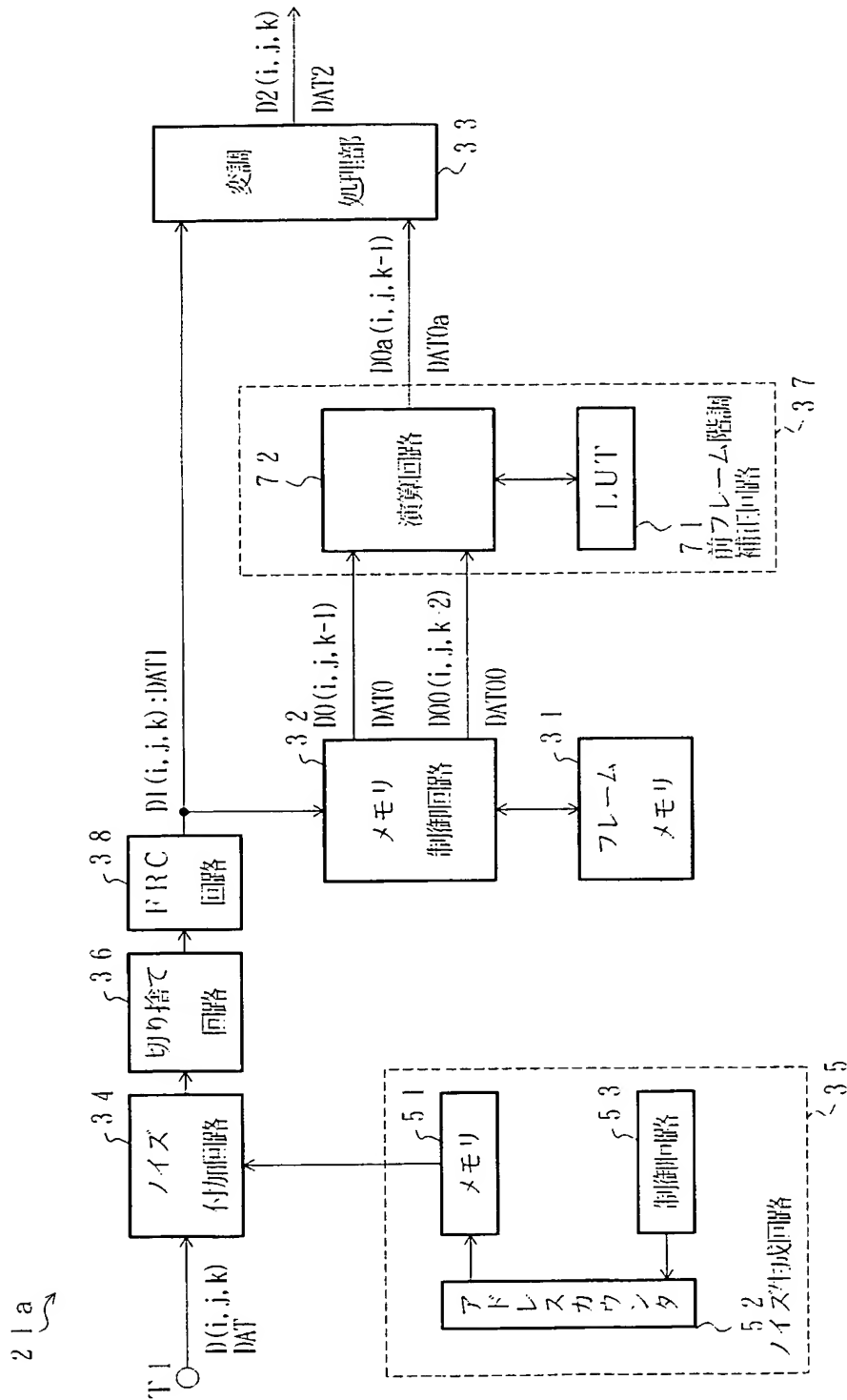
【図 9】

| $S \backslash E$ | 0 | 32 | 64 | 96 | 128 | 160 | 192 | 224 | 255 |
|------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 0 | 0 | 35 | 63 | 93 | 123 | 155 | 176 | 192 | 194 |
| 32 | 26 | 32 | 63 | 94 | 125 | 157 | 189 | 223 | 239 |
| 64 | 42 | 42 | 64 | 95 | 126 | 157 | 188 | 224 | 246 |
| 96 | 56 | 56 | 65 | 96 | 127 | 159 | 190 | 224 | 249 |
| 128 | 64 | 64 | 64 | 96 | 128 | 158 | 190 | 223 | 251 |
| 160 | 76 | 76 | 76 | 97 | 128 | 160 | 191 | 225 | 253 |
| 192 | 90 | 90 | 90 | 99 | 128 | 160 | 192 | 224 | 254 |
| 224 | 112 | 112 | 112 | 112 | 129 | 160 | 191 | 224 | 254 |
| 255 | 134 | 134 | 134 | 134 | 134 | 159 | 192 | 223 | 255 |

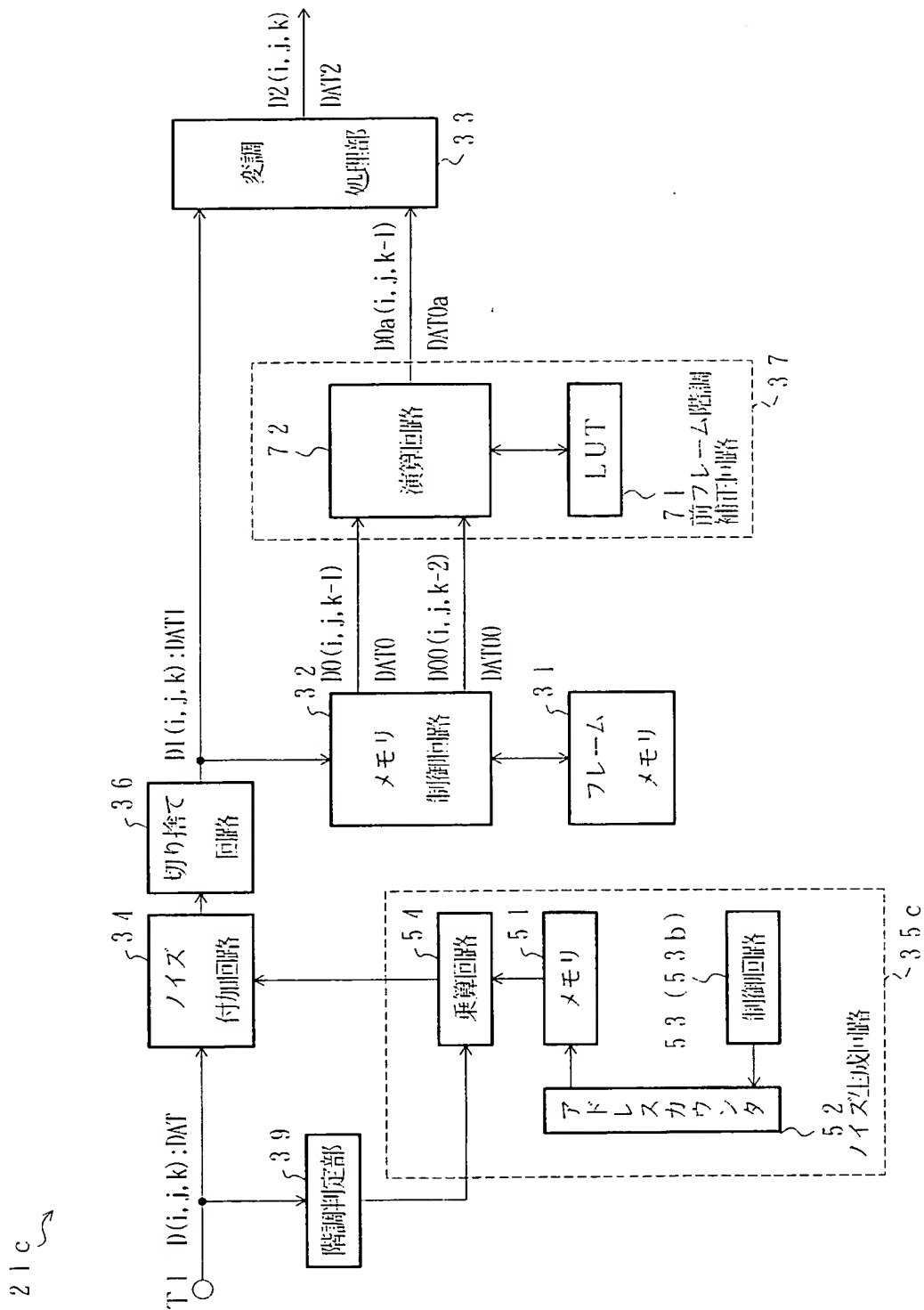
$\alpha 2$

$\alpha 1$

【図 10】



【図 11】



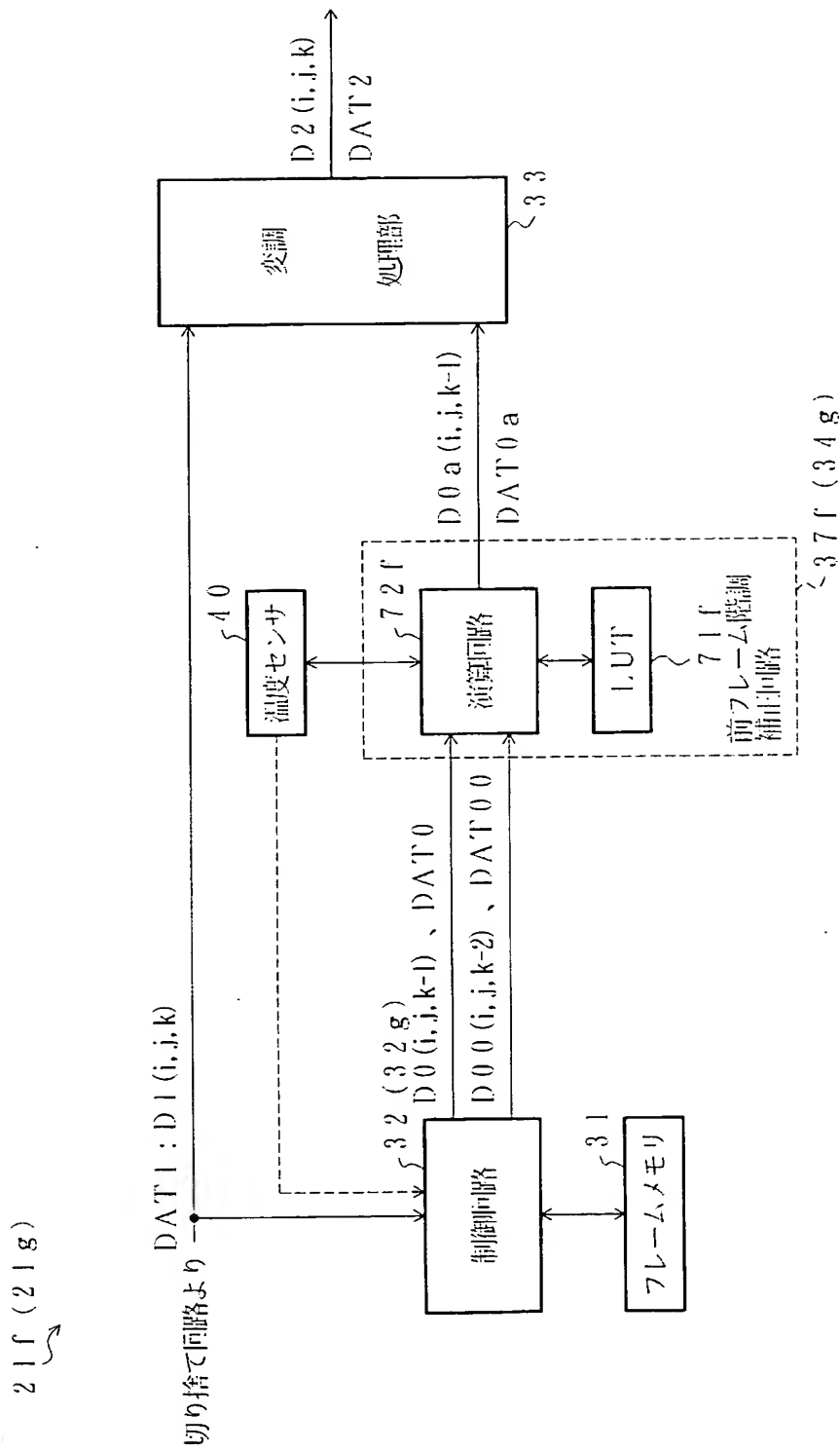
【図 12】

| $\begin{array}{c} \diagdown \\ S \end{array} \begin{array}{c} \diagup \\ E \end{array}$ | 0 | 32 | 64 | 96 | 128 | 160 | 192 | 224 | 255 |
|---|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 0 | 0 | 32 | 64 | 96 | 128 | 160 | 176 | 192 | 194 |
| 32 | 26 | 32 | 64 | 96 | 128 | 160 | 192 | 224 | 239 |
| 64 | 42 | 42 | 64 | 96 | 128 | 160 | 192 | 224 | 255 |
| 96 | 56 | 56 | 64 | 96 | 128 | 160 | 192 | 224 | 255 |
| 128 | 64 | 64 | 64 | 96 | 128 | 160 | 192 | 224 | 255 |
| 160 | 76 | 76 | 76 | 96 | 128 | 160 | 192 | 224 | 255 |
| 192 | 90 | 90 | 90 | 96 | 128 | 160 | 192 | 224 | 255 |
| 224 | 112 | 112 | 112 | 112 | 128 | 160 | 192 | 224 | 255 |
| 255 | 134 | 134 | 134 | 134 | 134 | 160 | 192 | 224 | 255 |

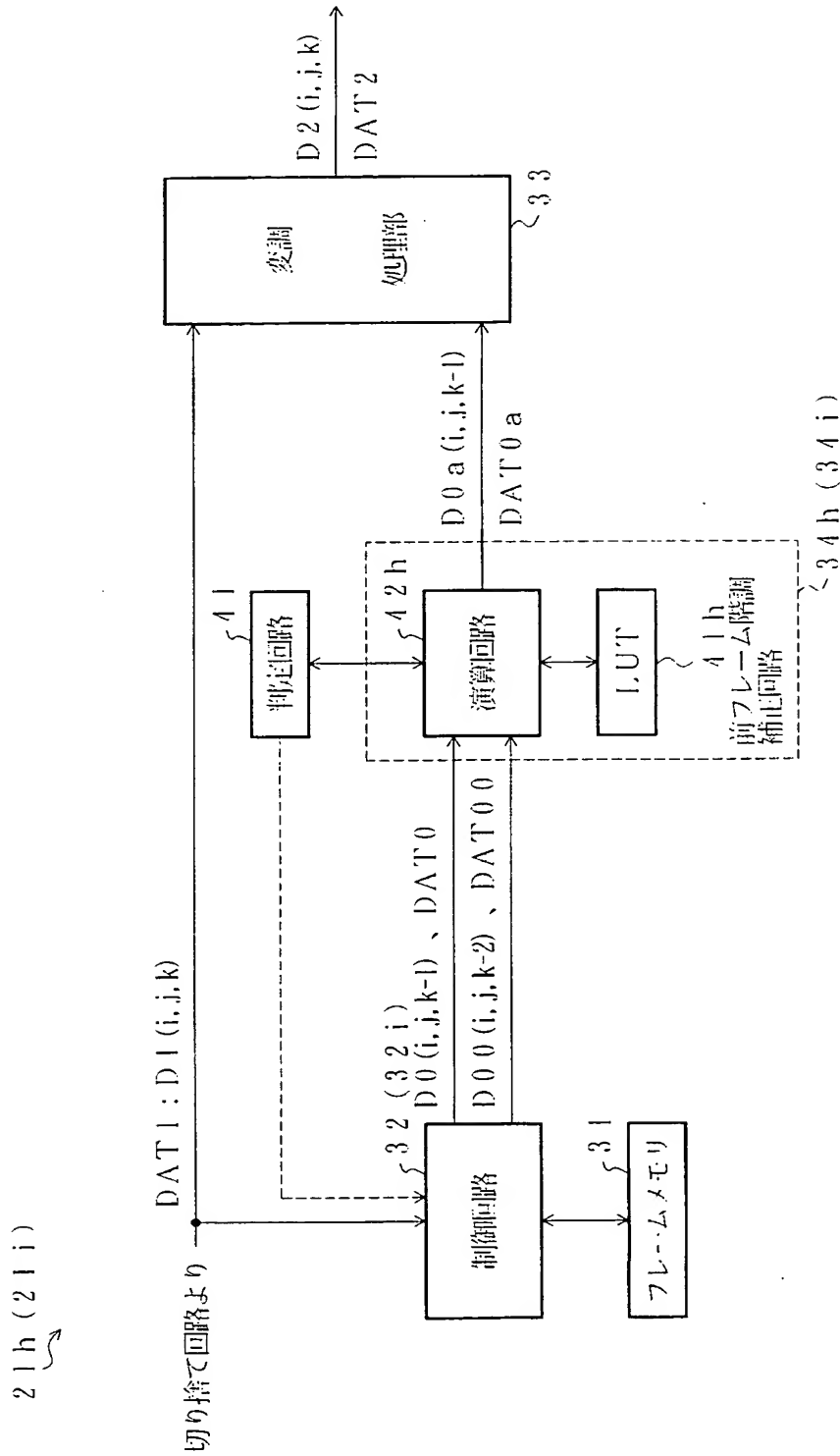
$\alpha 2$

$\alpha 1$

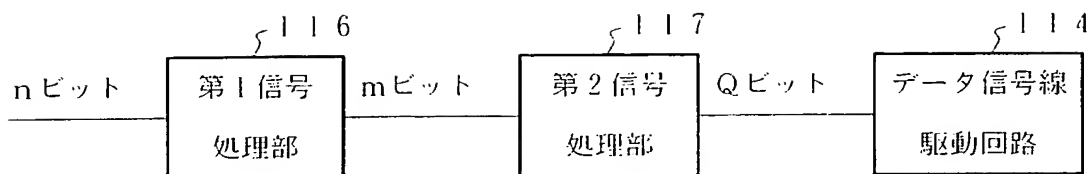
【図 13】



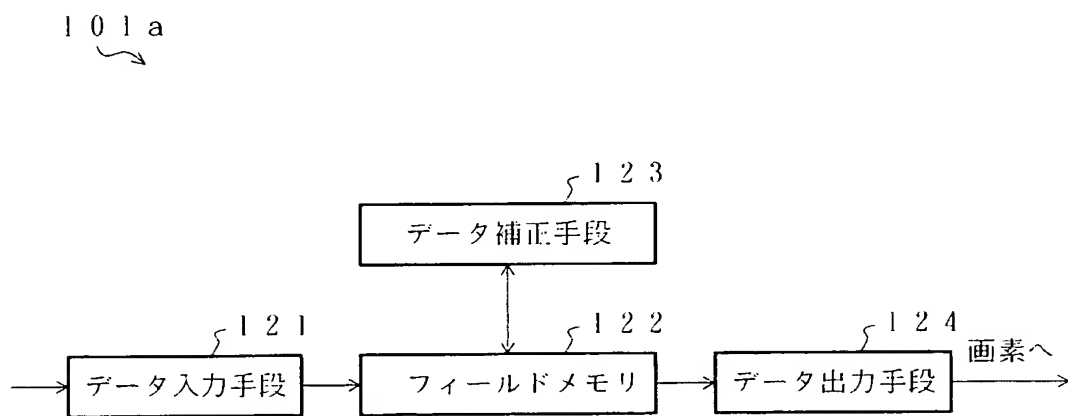
【図 14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 各画素に表示される映像の表示品質を見かけ上低下させることなく、画素の応答速度を向上可能で、しかも、構成が簡単な画像表示装置の駆動装置を実現する。

【解決手段】 入力端子 T1 へ入力された 8 ビットの映像データ $D(i, j, k)$ は、ノイズ付加回路 34 によりノイズデータが加算され、切り捨て回路 36 により下位ビットが切り捨てられ、6 ビットの映像データ $D1(i, j, k)$ として出力される。当該映像データ $D1(i, j, k)$ は、次々フレームまで、フレームメモリ 31 に記憶されており、前フレーム階調補正回路 37 は、必要に応じて、前々フレームの映像データへ近づくように、前フレームの映像データを補正して出力する。さらに、変調処理部 33 は、前フレーム階調補正回路 37 が出力する前フレームの映像データからの階調遷移を強調するように、現フレームの映像データ $D1(i, j, k)$ を補正する。

【選択図】 図 1

特願 2 0 0 3 - 0 9 9 6 4 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 5 0 4 9]

| | |
|----------|---------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 9 日 |
| [変更理由] | 新規登録 |
| 住 所 | 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 |
| 氏 名 | シャープ株式会社 |